
2 Konzepte, Technologien und Realisierungstechniken

Die Entwicklung einer elektronischen Schaltung, die aus mehreren integrierten Schaltkreisen und Einzelbauelementen aufgebaut sein kann, wird in verschiedene Phasen eingeteilt. Die erste und für den Projekterfolg entscheidende Phase ist die sog. *Systementwicklungsphase*, in der die Funktionsanforderungen an die Elektronik definiert werden [1]. Aus Kundenwünschen wird zuerst ein *Systemkonzept* erstellt, das als *Lastenheft* fixiert wird. Bei der Konzeptfindung werden die Gerätefunktionen in Hard- und Softwaremodule aufgeteilt und es wird geprüft, an welchen Stellen der Einsatz kundenspezifischer Schaltungen Vorteile bietet. Die konkrete Aufteilung der Elektronik in ASICs und Standardschaltkreise hängt stark davon ab, welche *Halbleitertechnologie* verwendet werden kann und welche Entwurfsverfahren (*Realisierungstechniken*) zur ASIC-Entwicklung in Frage kommen.

Jede ASIC-Entwicklung beginnt wieder für sich mit einer Konzeptphase, in der festgelegt wird, welche elektrischen Funktionen mit welchen Methoden in integrierte Schaltkreise umgesetzt werden. In einfachen Fällen kann die gesamte Elektronik mit einem einzigen ASIC aufgebaut werden, bei komplexeren Anwendungen müssen die Systemfunktionen auf mehrere ASICs, Mikroprozessoren und Standardbausteine verteilt werden. Häufig liegt bereits eine diskret aufgebaute Schaltung aus Standardbauelementen vor, die aus Platz- und Kostengründen integriert werden soll. In diesem Fall ist ein integrationsgerechtes Schaltungskonzept zu entwickeln, denn die direkte Umsetzung ist meist nicht die optimale Lösung. Im Vorfeld der eigentlichen ASIC-Entwicklungen sind weiterhin die IC-Gehäuse und die entsprechenden Anschlußbelegungen zu bestimmen. Hier sind die Randbedingungen der Leiterplattentechnik zu beachten.

Nach der Systemaufteilung werden zeitlich parallel die Platine, die Software für programmierbare Strukturen und alle anwendungsspezifischen Schaltungen entwickelt. Um dabei die Kohärenz der Gesamtentwicklung sicherzustellen, sind regelmäßige und enge Kontakte der verschiedenen Entwicklungsteams notwendig. Die Schnittstelle zwischen ASIC-Design und der Entwicklung der Gesamtelektronik bildet die *IC-Spezifikation*, in der das äußere Erscheinungsbild, die Funktion sowie die Kenn- und Grenzwerte des oder der ASICs schriftlich fixiert sind.

In diesem Kapitel werden die Aspekte Konzeptionierung, Technologieauswahl und Realisierungsrechniken behandelt, die die Systementwicklung von

ASICs bestimmen. Abschnitt 2.1 behandelt die Entwicklungsmethodik beim Entwurf des elektronischen Gesamtsystems und diskutiert die Aufteilung der Systemfunktionen auf Hard- und Softwareblöcke. Abschnitt 2.2 beschäftigt sich mit Schaltungsoptionen, vergleicht Hard- und Softwarelösungen, die fest verdrahtete anwendungsspezifische ICs bzw. Mikroprozessoren verwenden, und stellt die unterschiedlichen IC-Typen vor, mit denen elektronische Schaltungen aufgebaut werden können. Abschnitt 2.3 behandelt Halbleitertechnologien und Realisierungsmethoden beim ASIC-Entwurf. In Abschn. 2.4 werden die gebräuchlichsten IC-Gehäuse vorgestellt.

2.1 Systementwicklung

Ziel dieses Entwurfsschrittes ist es, die optimale Aufteilung der Systemfunktionen auf Hard- und Softwarekomponenten sowie auf kundenspezifische Schaltkreise und Standardbausteine zu finden. Abbildung 2.1 zeigt schematisch Beispiele für verschiedene Aufteilungen, die je nach Anzahl der hochintegrierten Komponenten als Einchip- bzw. Mehrchip-Lösungen bezeichnet werden. Die Aufteilung eines neu zu entwickelnden elektronischen Systems wird durch die technischen Funktionsanforderungen, wie Verarbeitungsgeschwindigkeit oder Verlustleistung bestimmt, die von Anwendern der Elektronik vorgegeben werden. Außerdem sind Randbedingungen zu beachten, wie Umgebungstemperaturen und Spannungs- sowie Strombereiche, denen das System im Betrieb ausgesetzt ist. Genauso wichtig sind kommerzielle Aspekte, wie die zur Verfügung stehende Entwicklungszeit und die erwartete Serienstückzahl für das System. Faßt man die Elektronikentwicklung als Optimierungsproblem auf, dann können folgende Entwurfsziele bei der Systemaufteilung definiert werden: ausreichende Funktionalität, möglichst niedrige Herstellkosten, kurze Entwicklungs-

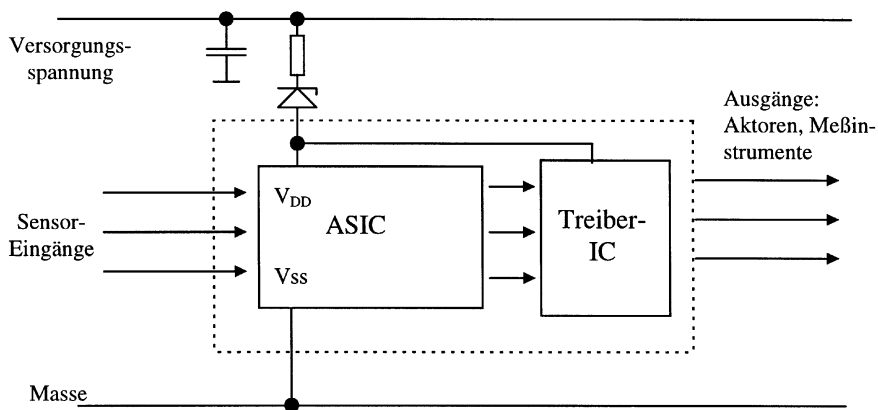


Bild 2-1a. Elektronisches System realisiert durch ein kundenspezifisches IC und Peripherie („Einchip-Lösung“ oder „Vollintegration“)

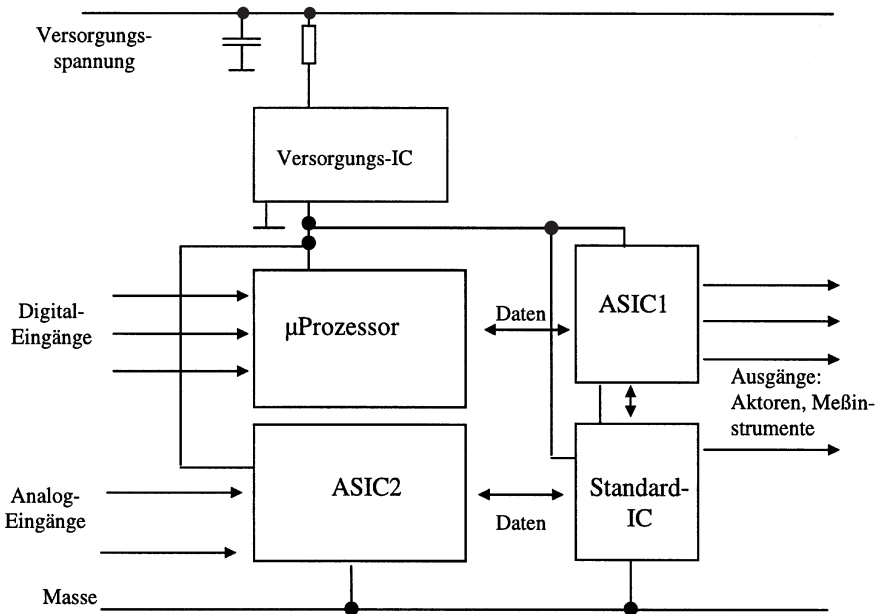


Bild 2-1b. Elektronisches System realisiert durch kundenspezifische und Standard-ICs, Peripherieschaltungen und Mikroprozessoren

zeit und geringes Entwicklungsrisiko. Die genannten Entwurfsziele sind aber „konkurrierende“ Kriterien, d. h. ein Entwurfsziel kann nur auf Kosten der anderen Ziele optimiert werden. Minimale Herstellkosten lassen sich beispielsweise nur mit längeren Entwicklungszeiten realisieren. Die Systemaufteilung erfordert daher – wie der gesamte Entwurfsprozeß – ein kontinuierliches Abwägen, um alle Kriterien hinreichend gut zu erfüllen.

2.2

Schaltungsoptionen

Beim Aufbau eines elektronischen Systems gibt es verschiedene Möglichkeiten. Die Komponenten, aus denen elektronische Geräte aufgebaut werden können, werden im folgenden vorgestellt.

2.2.1

Mikroprozessoren

Mit Mikroprozessoren lassen sich viele elektrische Funktionen preiswert und mit geringem Entwicklungsaufwand darstellen. Ein Mikroprozessor ist ein kompletter Rechner mit integriertem Leit- und Rechenwerk sowie Programm- und Datenspeicher. Diese komplexen Schaltungen können mit modernen Halbleiter-

technologien sehr kostengünstig hergestellt werden. Es gibt beispielsweise Rechner mit 4 bit Wortbreite, die mit 256 Byte Programm- und 1 kByte Datenspeicher weniger als 1,- DM pro Stück kosten. Der Anwender hat zudem den Vorteil, daß er ausgetestete Hardware verwendet, in die die Erfahrungen vieler anderer Anwender eingeflossen sind. Mikroprozessoren sind sofort verfügbar, und zur Programmerstellung bieten die Hersteller komfortable Entwicklungshilfsmittel an. Deshalb können Entwicklungsprojekte, die ausschließlich mit Standardkomponenten und Mikroprozessorprogrammierung realisiert werden, sehr schnell durchgeführt werden. Solche softwarebasierten Lösungen sind besonders flexibel und lassen sich leicht korrigieren oder an neue Einsatzfelder anpassen.

Nachteile der mikroprozessorbasierten Schaltungen sind der Aufwand für eine zuverlässige und stabile Versorgungsspannung, die geringe Signalverarbeitungsgeschwindigkeit und der relativ hohe Stromverbrauch. Außerdem können bei bestimmten kritischen Betriebszuständen (z. B. hohe Temperatur und Unterspannung) oder bei elektrischen Störungen Fehler bei der Programmabarbeitung auftreten. Deshalb ist es üblich, Überwachungsschaltungen (Watchdogs) einzusetzen, die bei Störungen den Prozessor zurücksetzen (Reset) und dem Gesamtsystem ein Fehlersignal zur Verfügung stellen. Mikroprozessoren sind außerdem elektrische Störquellen, denn die Systemtakte dieser Rechner übersteigen die Frequenz der eigentlichen Signalverarbeitung um ein Vielfaches, da zu jeder komplexeren Rechenoperation mehrere Befehlszyklen nötig sind. Je höher aber der Systemtakt ausgelegt werden muß, desto höher sind die Amplituden von Oberwellen des Taktsignals, die in kritischen Frequenzbereichen (z. B. im UKW-Band) nachgewiesen werden können. Von Mikroprozessoren abgestrahlte oder über Leitungen weitergegebene hochfrequente Signale können elektronische Geräte stören (RFI- oder EMV-Probleme; RFI: Radio Frequency Interference, EMV: Elektromagnetische Verträglichkeit). Deshalb sind auf Leiterplatten mit Mikroprozessoren zusätzlich Filterschaltungen vorzusehen.

2.2.2

Standardbausteine und ASICs

Die käuflichen Halbleiterbauelemente können in Einzelbauelemente (Transistoren, Dioden etc.) und in integrierte Schaltungen (ICs) eingeteilt werden. Bei den ICs wird zwischen Standardprodukten und anwenderspezifischen Schaltungen unterschieden. Standardbausteine sind beispielsweise Speicherbausteine, Operationsverstärker, Logikgatter aus den TTL-Familien, aber auch die bereits erwähnten Mikroprozessoren und programmierbaren Logikschaltungen, die in ihrer Funktion noch vom Anwender beeinflusst werden können.

Standardschaltungen sind frei verkäuflich und können über Distributoren oder auch direkt vom Hersteller bezogen werden. Anwenderspezifische integrierte Schaltungen hingegen werden exklusiv nur für einen Endkunden gefertigt (personalisierte Schaltungen) und erfüllen meist nur eine spezifische elek-

trische Funktion. Im Gegensatz zu programmierbaren Strukturen erfolgt die Definition der elektrischen Funktion über Technologieschritte in der Halbleiterfertigung und ist ohne Modifikation der Fertigungsunterlagen nicht mehr änderbar. Eine Zwitterrolle spielen hier die sog. maskenprogrammierten Mikroprozessoren, die das abzuarbeitende Softwareprogramm in einem Nur-Lese-Speicher (ROM) enthalten. Der Inhalt der ROM-Zellen wird hier ebenfalls über die Fertigungstechnologie festgelegt.

2.2.2.1

ASICs

Die monolithische Integration elektrischer Funktionen bietet viele Vorteile. Anwendungsspezifische hochintegrierte Schaltungen (ASICs) minimieren die Platinengrößen und damit die Geräteabmessungen sowie die Zahl der Bauelemente und Lötstellen auf der Leiterplatte. Damit sinken nicht nur die Herstellkosten der Elektronik und die Systemausfallraten, sondern auch die Stromaufnahme des Geräts – ein wichtiger Gesichtspunkt bei portablen, batterieversorgten Elektroniken – wird geringer. Die Exklusivität und Nachbausicherheit von ASICs schützt zudem alle Elektronikschaltungen vor dem Kopieren durch Konkurrenten.

Im Vergleich zu Mikroprozessorsystemen haben festverdrahtete ASIC-Lösungen eine höhere Verarbeitungsgeschwindigkeit sowie eine geringere Störanfälligkeit und ein niedrigeres Störpotential.

Die Vorteile von ASICs lassen sich wie folgt zusammenfassen:

- verbesserte Zuverlässigkeit der Elektronik durch wenige Lötstellen auf der Leiterplatte,
- günstigere EMV-Eigenschaften,
- bessere Leistungsdaten (Datenraten, analoge Auflösung, Verlustleistung),
- kleinere Leiterplatten und damit kleinerer Bauraum des Geräts,
- Kostenersparnis durch einfachere Logistik und geringere Assemblierungskosten.

Verglichen mit Standardbausteinen und Mikroprozessoren weisen ASICs allerdings auch wesentliche Nachteile auf. Prinzipielle Schwachpunkte sind die langen Entwicklungszeiten, die erheblichen Entwicklungskosten sowie das Risiko von Schaltungsfehlern, die manchmal erst in einer Spätphase bemerkt werden.

Die beschränkte Verfügbarkeit kundenspezifischer Bausteine birgt zusätzliche Risiken, denn in der Regel werden ASICs nur von einem Halbleiterhersteller produziert. Bei Störungen des Fertigungsablaufs gibt es meist keine alternative Beschaffungsmöglichkeit.

Besonders kritisch sind die hohen Vorlaufkosten. Bereits bei einfachsten Anwendungen können die Entwicklungskosten für ein ASIC bei 100 000,- DM liegen. Die Entwicklungszeiten von ASICs werden sinnvollerweise in Monaten gezählt, denn neben dem eigentlichen Schaltungsentwurf sind auch Produktions-

zyklen beim Halbleiterhersteller nötig. Zur Sicherstellung der Funktionalität sind außerdem umfangreiche Tests des ASICs in der Applikation und am Meßplatz einzuplanen.

Neu entwickelte ASICs durchlaufen außerdem, wie jede elektronische Schaltung, die typischen Anfangsprobleme. Während dieser „Lernphase“ treten manchmal Fehlfunktionen auf, die sich am Meßplatz bei den ASIC-Prototypen nie gezeigt haben, denn manche Probleme werden erst während der Serienproduktion sichtbar, wenn die üblichen Schwankungen der Herstellprozesse wirksam werden. Mitunter treten Fehler nur bei ganz bestimmten Einsatzbedingungen auf, die im Labor nicht hinreichend genau nachzubilden waren, oder es gibt Fehler, wenn bestimmte grenzwertige Bauelemente auf der Platine in der peripheren Beschaltung des ASICs eingesetzt werden. ASICs verursachen deshalb fast zwangsläufig Folgekosten, und es besteht ein gewisses Entwicklungsrisiko.

Diese Nachteile lassen sich weitgehend kompensieren, wenn Mikroprozessoren zusammen mit kundenspezifischen Hardwareblöcken auf einem Siliziumchip integriert (*Embedded Cores*) werden. Zwar sind hierbei die gleichen Vorlaufzeiten und Entwicklungskosten einzukalkulieren wie bei gewöhnlichen ASIC-Entwicklungen, es können aber die Vorteile programmierbarer Strukturen (insbesondere die schnelle Änderbarkeit der Funktion) und fest verdrahteter kundenspezifischer Logik gemeinsam genutzt werden.

2.2.2.2

ASIC-Entwurfsziele

Die übliche Vorgehensweise bei der Prüfung der Integrierbarkeit einer bestimmten elektronischen Funktion basiert auf zu vereinbarenden Entwurfszielen. In der Regel sind dies:

- der IC-Preis (bei Serienproduktion),
- der Entwurfsaufwand (Zeit und Kosten) und das Entwurfsrisiko,
- technische Gesichtspunkte; Signallaufzeiten, Datenraten im digitalen Bereich sowie analoge Auflösung und/oder notwendige Treiberfähigkeiten im analogen Bereich.

Der IC-Preis definiert sich aus der Prozeßkomplexität, der für die Funktion notwendigen Chipfläche und natürlich der Stückzahl, die für die Serienproduktion benötigt wird. Additiv kommen noch Testkosten für den 100%-Warenausgangstest der ASICs beim Halbleiterhersteller und die Kosten für das IC-Gehäuse hinzu, die sich nach Pinzahl und Gehäusegröße richten. Die drei Faktoren Herstell- und Testkosten sowie der Gehäusepreis gehen etwa gleichwertig in den ASIC-Preis ein.

Um alle ökonomischen und technischen Vorteile von ASICs nutzen zu können, werden für eine ASIC-Entwicklung üblicherweise folgende Entwurfsziele [2] angestrebt:

- hohe Leistungsfähigkeit (*Performance*): hoher Datendurchsatz, geringe Verlustleistung, hoher Integrationsgrad, Flexibilität;

- geringe Kosten: Herstellkosten von ASICs werden dabei durch die Größe der beanspruchten Siliziumfläche (*Chip-* oder *Die-Size*) vorgegeben, die sich wiederum nach der Realisierungstechnik und der eingesetzten Halbleitertechnologie richtet;
- kurze Entwurfszeit: Die Entwurfszeit wird ebenfalls von der Realisierungstechnik und der Halbleitertechnologie bestimmt. Des weiteren geht der angestrebte Integrationsgrad ein. Von der Entwurfszeit hängen die Entwicklungskosten und der Beginn der Geräteproduktion ab;
- leichte *Testbarkeit* : ASICs werden beim Hersteller zu 100% getestet, d. h., einer elektrischen Funktionsprüfung auf einem Testautomaten unterzogen, um fehlerhaft produzierte Bauelemente zu selektieren. Je leichter die elektrische Schaltung des ASIC-Bausteins testbar ist, desto geringer sind Aufwand und Kosten für die Erzeugung der Testsignale und die automatische Testung.

Die aufgeführten Entwurfsziele sind wieder „konkurrierende“ Kriterien, d. h. ein gegebenes Entwurfsziel kann nur auf Kosten der anderen, unter Umständen gleichwertigen Ziele erreicht werden. Ein hoher Datendurchsatz beispielsweise bedingt eine hohe Verlustleistung, die Integration einer komplexen Funktion innerhalb eines ASIC erfordert meist eine große Chipfläche, das erhöht den Preis. Komplexe Entwürfe sind in der Regel schwerer testbar als einfache Schaltungen usw. Der Entwurfsprozeß verlangt daher ein kontinuierliches Abwägen, um alle Kriterien hinreichend gut zu erfüllen

In der Praxis sind zusätzlich folgende Randbedingungen zu beachten:

- vorgegebene Spezifikationswerte, wie etwa Signallaufzeiten zwischen Eingangs- und Ausgangssignalen, Schaltschwellen für die Eingänge oder Genauigkeitsanforderungen für Analogschaltungen;
- zeitliche Rahmenbedingungen, wie feste Einsatztermine, bis zu denen die ASIC-Entwicklung abgeschlossen sein muß,
- und die eingeplanten Entwicklungskosten, die möglichst nicht überschritten werden sollen.

2.2.2.3

Elektrisch konfigurierbare Logikschaltungen

Eine Sonderform der ASICs sind die *elektrisch konfigurierbaren Logik-Bausteine*. Diese Schaltkreise sind programmierbar, haben aber keine Rechnerarchitektur. Sie sind aus logischen Schaltelementen aufgebaut, die über einen elektrischen Programmiervorgang (Beschreibung von Speicherzellen oder die Aktivierung von Schaltelementen) kundenspezifisch verknüpft werden können, ohne daß zur Funktionsdefinition Halbleiterherstellprozesse durchlaufen werden müssen.

Mit diesen Schaltungen können anwendungsspezifische elektronische Schaltungen schnell, unkompliziert und bei kleinen Stückzahlen auch sehr preiswert realisiert werden. Programmierbare Logikbausteine [3] werden daher meist dann eingesetzt, wenn technologiekonfigurierte ASICs aufgrund von geringen

Stückzahlen unwirtschaftlich sind. Die elektrisch programmierbaren Schaltungen werden nach Art der Programmierung unterschieden und in folgende Gruppen eingeteilt:

- *Programmierbare Logikschaltungen* (z. B. PLD-Typen von ATMEL, PLD: *Programmable Logic Devices*) bestehen aus kombinatorischen Logikblöcken und Registern, die über EEPROM¹⁾-Zellen verschaltet werden können.
- Elektrisch konfigurierbare, *feldprogrammierbare Logikschaltungen* (*Field Programmable Gate Arrays*: FPGA). Diese Schaltungen sind ähnlich aufgebaut wie PLDs, die anwendungsspezifischen Verknüpfungen werden aber unlösbar durch Erzeugen niederohmiger Kontakte (*Antifuses*, Anti-Sicherung) hergestellt.
- *Reprogrammierbare Logikschaltungen* (*Logic Cell Arrays* von XILINX). Diese Arrays bestehen aus matrixförmig angeordneten programmierbaren Logikblöcken, die von umschaltbaren Ein/Ausgangszellen am Chiprand umgeben sind. Die Logikblöcke enthalten Gatter und Anschlüsse an Verdrahtungsstrukturen, mit denen die verschiedene Blöcke verschaltet werden können. Das Aufschalten eines bestimmten Logikblocks auf eine Verbindungsleitung erfolgt mit NMOS-Transistoren, die über den Inhalt von statischen Speicherzellen aktiviert werden können.

Mit diesen flexiblen Schaltungen können allerdings nicht die Integrationsdichten erzielt werden, wie mit den üblichen technologiekonfigurierten integrierten Schaltungen, denn die programmierbaren elektrischen Verbindungen sind flächenaufwendig. Mit FPGA-Bausteinen lassen sich beispielsweise derzeit etwa 100 000 logische Gatter implementieren, bei ASICs sind hingegen mehr als 1 Mio. logische Gatter pro Chip realisierbar. Nachteilig bei konfigurierbaren Logikschaltungen ist außerdem der relativ hohe Preis der unprogrammierten ICs. Entwurf und Realisierung anwendungsspezifischer digitaler Funktionen können allerdings mit diesen Bausteinen konkurrenzlos schnell bewerkstelligt werden. Mit Syntheseverfahren bei der Schaltplanerstellung können in wenigen Stunden funktionsfähige Prototypen konfiguriert und bereitgestellt werden (Stückpreis 10–20 DM). Bei einem entsprechenden kundenspezifischen ASIC dauert die Entwicklung bis zum Vorliegen von Prototypen mindestens ein halbes Jahr, die Entwicklungskosten können leicht einige 100 000,- DM erreichen, der Stückpreis von Serien-ICs hingegen wird aber je nach Stückzahl vielleicht nur bei 2,- bis 3,- DM liegen.

1 EEPROM: Electrical Erasable Programmable Read Only Memory, elektrisch löschbarer programmierbarer Festwertspeicher.

2.3

Technologien und Realisierungsmethoden für ASICs

Der bei einer integrierten Schaltung erzielbare Integrationsgrad hängt davon ab, welche *Halbleitertechnologie* eingesetzt wird und mit welchem Verfahren (*Realisierungstechnik*) die anwendungsspezifische Schaltung entworfen wird.

2.3.1

Halbleitertechnologien für ASICs

Mikroelektronische Schaltungen werden mit den Verfahren der Planartechnologie hergestellt. Diese Technologie ist dadurch gekennzeichnet, daß alle Anschlüsse der integrierten Bauelemente „planar“ in einer Ebene an der Oberfläche eines Siliziumkristalls liegen. Integrierte Schaltungen werden entweder mit Feldeffekttransistoren aufgebaut (n-Kanal oder p-Kanal-MOS-Transistoren) oder bestehen aus Bipolartransistoren (pnp- oder npn-Transistoren). Neuerdings gibt es auch Mischtechnologien, mit denen sowohl Bipolar- als auch MOS-Transistoren auf einem gemeinsamen Substrat realisiert werden können. Abbildung 2.2 erläutert die Schaltsymbole der Transistortypen, und Abb. 2.3

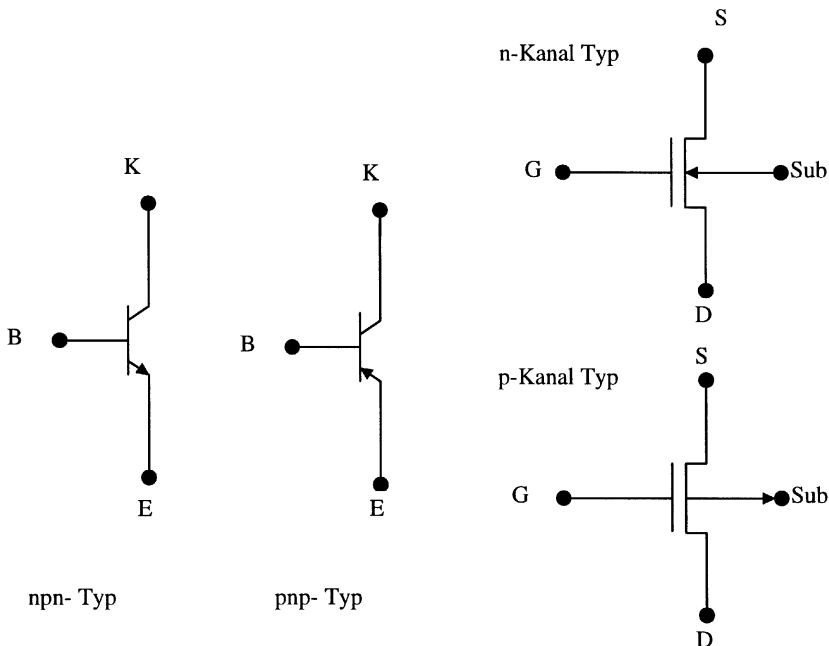


Bild 2-2. Schaltzeichen der npn- und pnp- Bipolartransistortypen und der bei ASICs fast ausschließlich eingesetzten NMOS- bzw. PMOS-Anreicherungstransistoren. Die Buchstaben *E*, *B* und *K* kennzeichnen Emitter, Basis und Kollektor der Bipolartransistoren, während *G*, *S*, *D* und *Sub* die Gate-, Source-, Drain- und Substratanschlüsse der MOS-Bauelemente bezeichnen

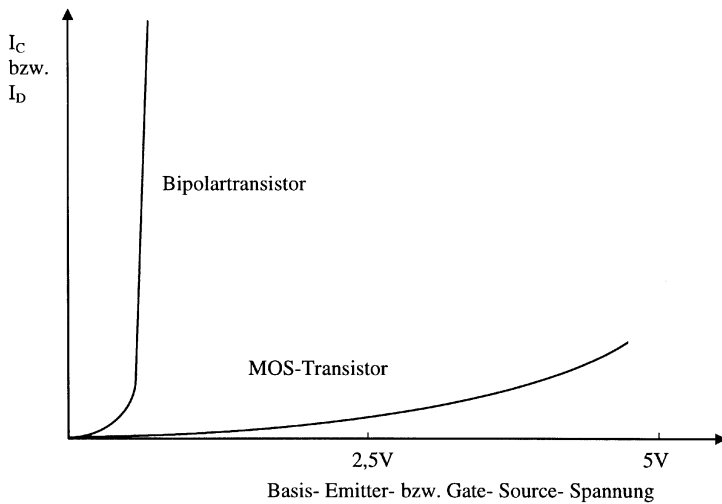


Bild 2-3. Transistorkennlinien von Bipolar- und MOS-Transistoren im Vergleich. Die Kennlinie des Bipolartransistors ist eine Exponentialfunktion, während der Ausgangsstrom des MOS-Transistors eine parabolförmige Abhängigkeit von der Steuerspannung aufweist (nach [4])

zeigt schematisch die Transistorkennlinien für Bipolar- und MOS-Transistoren im Vergleich. Je nach verwendetem Transistortyp spricht man von *Bipolar-* oder *CMOS-Schaltungen* bzw. von der *Bipolar-* oder *CMOS-(Herstell-)Technologie*. Neben den Transistoren können in beiden Technologien weitere Funktionselemente wie Dioden, Widerstände und Kapazitäten monolithisch integriert werden. Die physikalische Realisierung dieser Komponenten hängt allerdings von den Herstellschritten der Transistoren ab, so daß gewisse Abstriche in Bezug auf Genauigkeit und mögliche Kenngrößen in Kauf genommen werden müssen.

Der Bipolartransistor (engl. *junction transistor*) besteht aus zwei Übergängen, einem pn- und einem np-Übergang (Abb. 2.4) in so enger Nachbarschaft, daß der Vorwärtsstrom in einem Übergang den Strom im zweiten Übergang vorgibt (*Transistoreffekt*). Der bipolare Transistor bestimmte die Halbleiterschaltungstechnik in den Anfangsjahrzehnten der Mikroelektronik. Für die Integrationstechnik stehen zwei bipolare Transistortypen, der npn- und pnp-Typ zur Verfügung, wobei der Halbleiterfertigungsprozeß auf einen Transistortyp, meist den vertikalen npn-Transistor optimiert ist.

In MOS-Schaltungen werden statt bipolarer Transistoren Feldeffekttransistoren verwendet. Hier steuert die Spannung zwischen Gate- und Source-Anschluß den Strom, der durch die Drainelektrode fließt. Es gibt verschiedene Typen von Feldeffekttransistoren. Für integrierte Schaltungen sind insbesondere die n- und p-Kanal-Anreicherungstypen (NMOS- und PMOS-Transistoren) wichtig.

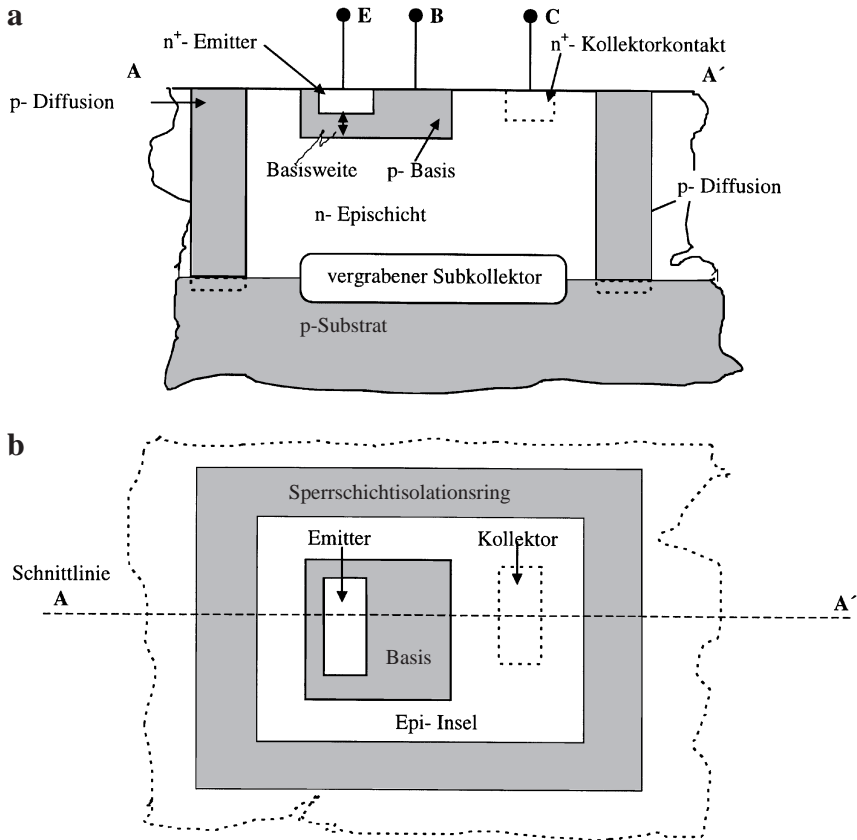


Bild 2-4. Ausschnitt aus einer Bipolarschaltung (npn-Transistor) in Schnitt (a) und Aufsicht (b). Der tief eindiffundierte p-Ring isoliert bei Sperrpolung das Bauelement gegen die anderen Transistoren auf dem gemeinsamen Substrat. Durch den Ring entsteht eine „Epi-Insel“. Die hochdotierte vergrabene Subkollektorschicht reduziert den Kollektorbahnwiderstand des relativ schwach dotierten epitaktischen n-leitenden Siliziums. Die Basisweite bestimmt dabei die Stromverstärkung des Transistors

Der MOS-Transistor ist ein Oberflächenbauelement (Abb. 2.5) während bei bipolaren Transistoren die steuernden Elemente pn-Übergänge innerhalb des Halbleiterkristalls sind. Bei MOS-Transistoren können über elektrische Felder leitfähige Kanäle dicht unter der Grenzfläche zwischen Substrat und einer dielektrischen Oberflächenschicht hervorgerufen werden. Die Felder werden mit Spannungen zwischen der isolierten Gateelektrode und dem Sourceanschluß erzeugt. Für die notwendigen hohen Feldstärken sind dünne Dielektrika erforderlich. Da sich dünne Schichten mit hohen Durchbruchfeldstärken technologisch schwerer beherrschen lassen als pn-Übergänge im Halbleitervolumen, konnten integrierte MOS-Schaltkreise erst viel später als bipolare ICs in großen Stückzahlen gefertigt werden.

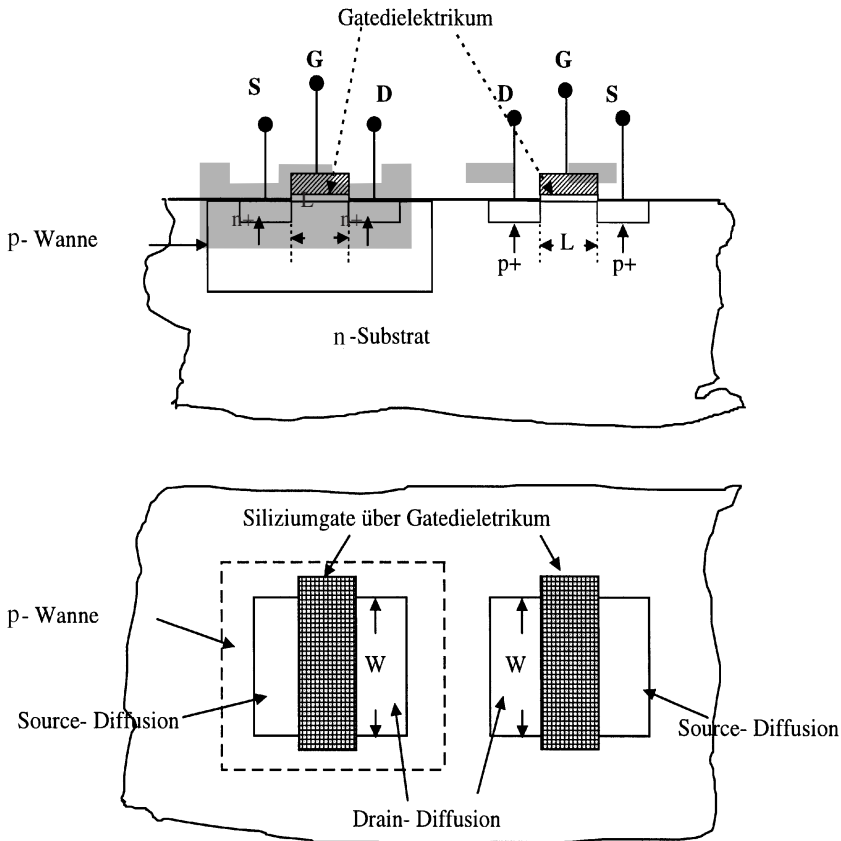


Bild 2-5. Schnitt und Aufsicht eines NMOS- (links) und eines PMOS-Transistors (rechts) in einer p-Wannen CMOS-Technologie. „S“, „G“ und „D“ sind die Anschlüsse der Source-, Gate- und Drainbereiche der Transistoren. Die p-Wanne liegt auf positivem Versorgungspotential, das n-leitende Substrat ist mit der Masse verbunden. Die wichtigsten geometrischen Kenndaten von MOS-Transistoren sind die Kanalweite „W“ und die Kanallänge „L“

Vergleich von Bipolar- und MOS-Transistoren

Wie Abb. 2.3 zeigt, haben Bipolartransistoren verglichen mit MOS-Bauelementen eine wesentlich größere Steilheit. Mit kleinen Spannungsveränderungen an der Basis-Emitterdiode lassen sich deshalb verhältnismäßig große Kollektorströme an- und abschalten. Bipolarschaltkreise eignen sich deshalb besser als MOS-ICs für Schaltungen mit großen Ausgangsleistungen. Aufgrund der kleinen Spannungshübe, die in Bipolarschaltungen für Schaltvorgänge nötig sind, werden auch nur geringe Ladungsmengen beim Umschalten bewegt. Deshalb arbeiten bipolare Schaltkreise mit höheren Taktraten als MOS-Schaltungen, bei denen für Schaltvorgänge die Eingangspegel der Transistoren zwischen Masse- und Versorgungspotential wechseln müssen.

Bipolarschaltkreise sind deshalb besonders für Schnellstlogik- und Analoganwendungen geeignet. Mit Bipolarschaltungen können außerdem höhere Spannungen verarbeitet werden als mit MOS-Transistoren, denn die Spannungsfestigkeit der Bipolartransistoren wird von den Durchbruchspannungen von pn-Übergängen bestimmt und nicht von dünnen dielektrischen Schichten. Die maximal zulässigen Sperrspannungen zwischen Kollektor- und Emitter liegen bei integrierten Bipolartransistoren typischerweise im Bereich 20 Volt. Die Basis-Kollektor-Sperrspannungen sind etwa um den Faktor Drei höher. Auch von den Herstellkosten her bieten Bipolar-ICs Vorteile. Die Zahl der Maskenebenen, das Maß für die Prozeßkomplexität, ist bei Bipolarprozessen fast um den Faktor Zwei kleiner als bei CMOS-Technologien.

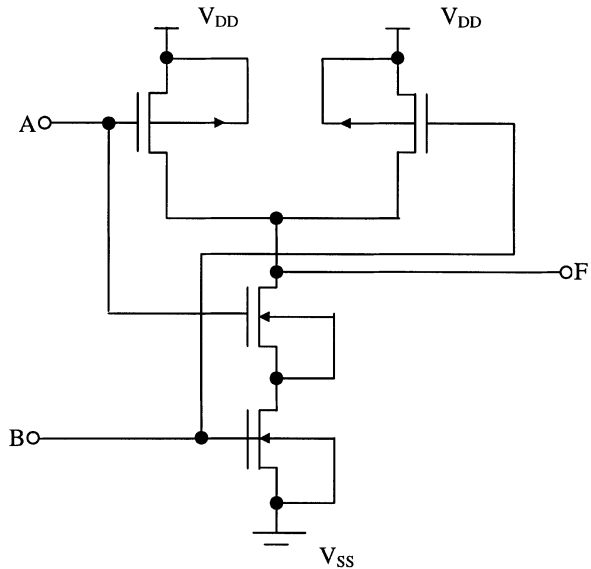
Der wesentliche Nachteil von Bipolartransistoren ist der relativ kleine Eingangswiderstand dieser Bauelemente. Bei MOS-Transistoren ist die Steuerelektrode hingegen über das Gatedielektrikum rein kapazitiv mit Source- und Drainanschluß gekoppelt. Deshalb ist der Leistungsverbrauch von Bipolarschaltungen deutlich größer als der vergleichbarer MOS-Schaltkreise, und die höhere Wärmeentwicklung in Bipolar-ICs begrenzt den Integrationsgrad. Ein weiterer Nachteil von Bipolartransistoren ist der Zusatzaufwand für die elektrische Isolation der verschiedenen Bipolartransistoren innerhalb eines ICs. Ohne den Sperrschichtisoliationsring in Abb. 2.2 wären beispielsweise die Kollektoren aller in der Schaltung vorhandenen Bipolartransistoren elektrisch verbunden. Die Packungsdichte in Bipolar-ICs erreicht daher nicht den Integrationsgrad, der bei der MOS-Technologie möglich ist.

Der wichtigste Vorteil von MOS-Schaltungen liegt im geringeren Flächenbedarf für eine gegebene logische Funktion. MOS-Transistoren sind ungefähr um den Faktor 10 kleiner als Bipolartransistoren, weil die Bauelemente u.a. nicht gesondert durch Sperrschichten gegeneinander isoliert werden müssen. Feldeffekttransistoren werden außerdem nicht durch Ströme, sondern durch Spannungen gesteuert. Die damit verbundenen geringeren Steuerleistungen ermöglichen zusammen mit der kompakten Bauweise die Integration komplexer Schaltungen die bipolar nicht monolithisch ausgeführt werden können.

Der Integrationsgrad bei MOS-Schaltkreisen läßt sich durch den Übergang zu CMOS-Technologien (CMOS: *Complementary MOS*) weiter steigern. Mit diesem Herstellverfahren können sowohl NMOS- als auch PMOS-Transistoren auf einem gemeinsamen Substrat integriert werden. Weil NMOS- und PMOS-Transistoren bei komplementären Logikpegeln schalten, läßt sich die statische Verlustleistung in logischen Gattern dadurch minimieren, daß man diese aus Reihenschaltungen von p- und n-Kanal-Transistoren aufbaut. Abbildung 2.6 zeigt als Beispiel ein CMOS-NAND-Gatter.

Liegen an einem CMOS-Gatter statische logische Eingangspegel an, dann können nur Sperrströme im Nanoampere-Bereich durch die vorhandenen pn-Übergänge fließen. Verlustleistung entsteht nur bei dynamischen Schaltvorgängen. Da bei jedem Taktzyklus nicht jedes Gatter schaltet, sind hohe Taktraten möglich, ohne daß es Probleme mit der Wärmeabfuhr im Gehäuse gibt. Deshalb ist die CMOS-Technik heute die meist benutzte Integrationstechnologie. Weit

Bild 2-6. Zweifache Nicht-Und-Verknüpfung (NAND-Gatter) in CMOS-Technik. Die logischen Zustände „0“ und „1“ werden im Schaltkreis durch das Masse- bzw. das Versorgungspotential (V_{SS} bzw. V_{DD}) dargestellt. Die logische Funktion $F = A \cdot B$ kommt dadurch zustande, daß NMOS- und PMOS-Transistoren nur dann eingeschaltet sind, wenn die logische „1“ bzw. die logische „0“ am Gate anliegt



über 70% aller gefertigten ICs sind heute CMOS-Schaltkreise [5]. Rechnet man noch den Anteil der NMOS-ICs hinzu, dann deckt die MOS-Technologie einen Anteil von fast 90% des Marktes für Halbleiterbauelemente ab.

Da CMOS-Schaltkreise in so großen Stückzahlen hergestellt werden, spielt die im Vergleich zur Bipolartechnik höheren Prozeßkomplexität keine große Rolle und trotz der 12 oder mehr Maskenebenen bleiben CMOS-Prozesse kostengünstig. Der Entwurf von CMOS-Schaltungen ist außerdem viel einfacher als der von Bipolarschaltungen, denn die Kennwerte von MOS-Transistoren hängen bei gegebener Technologie nur von zwei geometrischen Größen (Kanalweite und Kanallänge) ab, während bei bipolaren Transistoren zahlreiche Details des Transistoraufbaus eine wichtige Rolle spielen. Die im Vergleich zu bipolaren Bauelementen schlechteren Transistoreigenschaften von MOS-Bauelemente können durch spezielle Schaltungstechniken weitgehend kompensiert werden.

Wichtige Weiterentwicklungen der CMOS-Technologie sind BiCMOS- oder BCD-Prozesse, mit denen Bipolar-Transistoren mit MOS-Transistoren bzw. bipolare, MOS- und DMOS²⁾-Transistoren auf einem gemeinsamen Substrat kombiniert werden können. Mit diesen Mischtechnologien lassen sich die Vorteile der unterschiedlichen Transistortypen innerhalb einer Schaltung nutzen und sowohl die analogen als auch die digitalen Leistungsdaten der Schaltung wesentlich verbessern. So wurden die ersten Generationen des Pentium-Prozessors von Intel in einer 0,8- μm -BiCMOS-Technik gefertigt. Die Taktfrequenzen dieser Mi-

2 DMOS-Transistoren (Diffused MOS) sind MOS- Leistungstransistoren, die aufgrund spezieller Fertigungsverfahren besonders hohe Stromdichten und Spannungen verarbeiten können. Die betreffenden Kenndaten übertreffen dabei sogar die Werte von speziellen Bipolarprozessen.

koprozessoren liegen heute bei aufgrund von weiter reduzierten Strukturbreiten bei 300 MHz!

Der Erfolg der Mischtechnologien wird aber durch den erhöhten Fertigungsaufwand gebremst. Die Maskenzahl liegt bei 18–20 Maskenebenen, und folglich sind BiCMOS-Schaltungen bei gleicher Chipfläche etwa 30% teurer als CMOS-ICs. Laut VEENDRICK [5] lag 1992 der Marktanteil von BiCMOS-Schaltkreisen erst bei etwa 5%. Da aber mittlerweile auch Standard-Mikroprozessoren in dieser Technologie gefertigt werden, dürfte sich der Marktanteil beträchtlich erhöht haben.

Welche der beschriebenen Halbleitertechnologien für ein bestimmtes ASIC-Projekt geeignet ist, hängt von den Einsatzbedingungen und den Leistungsmerkmalen ab, die in der IC-Spezifikation festgelegt sind. Wichtige Kenngrößen sind beispielsweise die elektrischen Belastungen an den IC-Eingängen, die zulässige Verlustleistung, die notwendige Signalverarbeitungsgeschwindigkeit oder der Umfang der zu integrierenden Funktion. Da CMOS-Prozesse heute die Standardtechnologie sind, wird man versuchen, die spezifizierten Funktionen mit einem CMOS-VLSI-Prozeß darzustellen. Analoge Präzisionsschaltungen oder Schaltungen für hohe Spannungen und Ströme werden aber nach wie vor mit Bipolar-Prozessen oder, wenn technisch und kommerziell möglich, mit Mischprozessen realisiert.

2.3.2

Realisierungstechniken für ASICs

Realisierungstechniken sind Methoden, mit denen eine Schaltung in Fertigungsvorgaben für den Halbleiterhersteller umgesetzt wird. Als Fertigungsvorgabe des integrierten Schaltkreises dient das sog. *Maskenlayout*, eine geometrische Beschreibung der Schaltung. Das Maskenlayout definiert die Strukturen auf den sog. *Lithografie-Masken*, deren Zahl vom Prozeß abhängt, wobei jede Maske die für einen Prozeßschritt notwendigen geometrischen Vorgaben enthält. Diese Masken werden erst beim Halbleiterhersteller angefertigt. Die Maskeninformationen für ein ASIC werden dem Halbleiterhersteller vom ASIC-Entwickler in elektronischer Form auf einem Datenträger als *Masken-* oder *IC-Layout* übergeben. Das Layout stellt eine komplette geometrische Beschreibung des integrierten Schaltkreises dar und ist das Ergebnis eines ASIC-Entwurfs.

Jedes IC, sei es noch so komplex, hat prinzipiell den gleichen Aufbau. Ein kleines Plättchen des einkristallinen Halbleitermaterials liefert den dünnen monokristalline Oberflächenbereich, in dem Tausende von Transistoren mit fast identischen elektronischen Eigenschaften definiert und mit Metallbahnen elektrisch verbunden sind. Nur diese spezifische Verschaltung und die notwendige Anzahl von Transistoren unterscheidet beispielsweise einen Mikroprozessor von einem Telefonkarten-IC.

Die Ähnlichkeit im Aufbau führt dazu, daß mit einer Technologie – sofern gewisse *Entwurfsregeln* eingehalten werden – unterschiedliche Schaltungen (Speicher, Mikroprozessoren, Operationsverstärker etc.) realisiert werden können,

ohne daß dazu Prozeßschritte angepaßt werden müßten. Nur deshalb kann der Schaltungsentwurf klar von der IC-Herstellung getrennt und bei ASIC-Entwicklungen sogar zum Anwender verlagert werden. Das Maskenlayout dient dabei als Schnittstelle zwischen Entwerfer und Halbleiterhersteller.

Es gibt im wesentlichen zwei Realisierungstechniken, mit denen das IC-Layout erzeugt werden kann:

- den Entwurf auf Transistorebene (vollkundenspezifischer oder *Full-Custom-Entwurfstil*),
- und den zellbasierten Entwurfstil, der einen Baukasten mit fertigen Funktionszellen benutzt (halbkundenspezifischer oder *Semi-Custom-Designstil*).

Der von Zellen ausgehende Entwurfstil kann nochmals in die Makrozell-, Standardzell- und die Gate-Array-Technik aufgegliedert werden. Die verschiedenen Realisierungstechniken nutzen die Möglichkeiten der jeweiligen Herstellertechnologie unterschiedlich stark und unterscheiden sich dementsprechend im Entwicklungsaufwand.

2.3.2.1

Vollkundenspezifischer Entwurf

Beim *Vollkundenentwurf* wird die Schaltung genau auf die Spezifikationsanforderungen zugeschnitten, in dem jeder Funktionsblock auf Transistorebene entwickelt und an die aktuellen Anforderungen angepaßt wird. Der Entwurfsaufwand ist hier sehr hoch. Vollkundenspezifisch entworfene integrierte Schaltungen erreichen aber höchste Datendurchsatzraten oder zeichnen sich durch genaueste Analogfunktionen sowie besonders niedrige Verlustleistungen aus.

Die Full-Custom-Technik nutzt außerdem die Chipfläche sehr gut aus, da das Layout von jedem Block neu erstellt wird und die kleinen Grundeinheiten (Einzeltransistoren) kompakt angeordnet werden können. Abbildung 2.7 zeigt als Beispiel für die hohe Packungsdichte einen Funktionsblock aus einem vollkundenspezifisch entworfenen statischen Schreib/Lese-Speicher (SRAM). Diese flächensparende Entwurfsmethode ist deshalb besonders für Schaltungen mit hohen Stückzahlen geeignet (> 100 000 ICs pro Jahr). Hier sind die flächenabhängigen Herstellkosten der bestimmende Faktor, und der hohe Entwicklungsaufwand spielt eine untergeordnete Rolle.

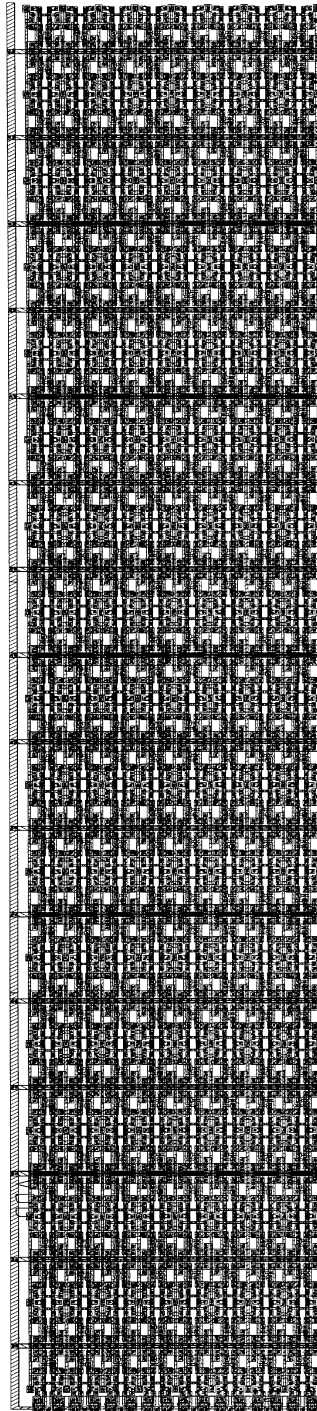
Die benötigten Herstellerinformationen für einen Vollkundenentwurf sind die geometrischen Entwurfsregeln für den gewählten Halbleiterprozeß und die zugehörigen elektrischen Parameter zur analogen Simulation auf Bauelementebene.

2.3.2.2

Halbkundenspezifischer oder Semi-Custom-Entwurf

Der Kosten- und Zeitaufwand für einen ASIC-Entwurf läßt sich durch den Semi-Custom-Entwurfstil senken. Diese Realisierungstechnik verwendet statt Tran-

Bild 2-7. Ausschnitt aus dem Layout des Speicherzellenfeldes eines SRAMs



sistoren größere Grundeinheiten („Zellen“), die bereits aus mehreren verschalteten Transistoren bestehen.

Man unterscheidet *Makrozellenentwürfe*, bei denen die Grundeinheiten stark unterschiedliche Größen aufweisen und bereits komplexe Funktionen darstellen, z. B. einen Analog-Digital-Umsetzer, einen Festwertspeicher oder ein Rechenwerk und *Standardzellenentwürfe*, bei denen die Layoutabmessungen der Zellen im einfachsten Fall eine genormte Höhe bei variabler Breite aufweisen. Die Standardzellen sind in ihrer Funktion weitgehend an die Standardschaltkreisfamilien angepaßt (z. B. TTL-7400-Serie) oder führen relativ einfache analoge Funktionen aus, wie Pegelvergleiche oder Signalverstärkungen (s.a. Kap. 6). Makrozellen werden heute auch als *Intellectual Property* (IP) (des Halbleiterherstellers) bezeichnet. Diese Namensgebung trägt der Tatsache Rechnung, daß solche Zellen nicht unbedingt in Layoutform vorliegen müssen. Eine synthetisierbare Beschreibung genügt, um diese Strukturen während des Entwurfsprozesses aus Standardzellen aufzubauen. Wichtige IP-Zellen sind beispielsweise Mikroprozessorkerne mit Standardarchitekturen, wie etwa HC11 oder 8051.

Die Schaltungsentwicklung reduziert sich bei der Semi-Custom-Technik auf die Schaltplanerstellung. Die Layouterzeugung erfolgt automatisiert durch Rechnerunterstützung, indem die Zellen mit bestimmten Algorithmen plziert (*Placement*) und anschließend verdrahtet (*Routing*) werden. Zur Vereinfachung der automatischen Layouterstellung werden die Standardzellen nach Peripheriezellen und analogen sowie digitalen Kernzellen sortiert. Die Layouts der einzelnen Standardzellentypen sind dabei so aufgebaut, daß die Versorgungsleitungen der Zellen bereits beim bloßen Nebeneinandersetzen überlappen. Werden die Zellen dann in (parallelen) Reihen plziert, so wird selbsttätig die Spannungsversorgung hergestellt. Zur Verbindung der Ein- und Ausgänge der Kernzellen läßt man zwischen den Reihen Verdrahtungskanäle frei, in denen beim Routing die Signalleitungen verlegt werden. Die Peripheriezellen werden am Rand des ICs plziert und enthalten neben Schutz-, und Eingangs- oder Ausgangsschaltungen, die sog. *Bondingpads* (engl. für Anschlußstellen). Über diese Padstrukturen werden die Anschlußstifte am IC-Gehäuse mit der integrierten Schaltung verbunden. Abbildung 2.8 zeigt ein Chipfoto eines gemischt analog-digitalen Schaltkreises, der sowohl aus Makro- als auch aus Standardzellen aufgebaut ist.

Die Zellen für einen Makro- oder Standardzellenentwurf werden vom Halbleiterhersteller in der jeweiligen Technologie (Bipolar, CMOS, BiCMOS) zur Verfügung gestellt. Diese Bibliotheken enthalten neben dem Zelllayout auch Simulationsparameter, mit denen das dynamische Verhalten der Zellen erfaßt werden kann. Da nur ausgetestete Zellen benutzt werden können, ist die Entwurfssicherheit bei der Semi-Custom-Methode höher als bei Vollkundenentwürfen. Wie beim Full-Custom-Entwurf sind aber alle Lithografie-Masken des verwendeten Halbleiterprozesses schaltungsspezifisch und müssen zur Produktion von Prototypen neu erstellt werden (Kosten ca. 50 000,- DM).

Semi-Custom-Schaltungen erreichen aber nicht die Packungsdichte und damit die günstigen Herstellkosten von Full-Custom-Layouts, denn die Transisto-

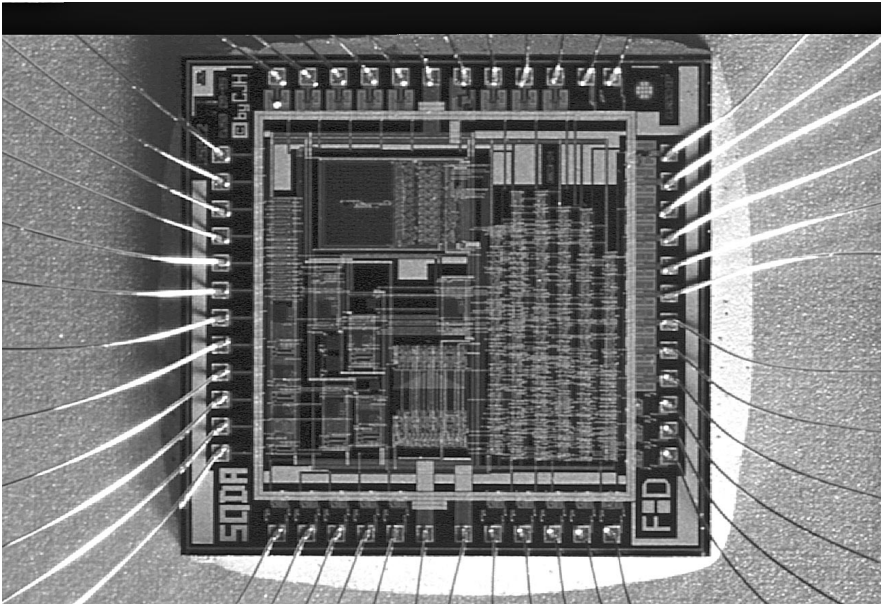


Bild 2-8. Chipfoto eines zellenbasierten ASICs, das aus analogen und digitalen Standardzellen, sowie aus Makrozellen zusammengesetzt wurde

ren in den einzelnen Zellen müssen aufgrund der Standardisierung im Layout und der nicht bekannten Ausgangsbelastungen mit hinreichender Treiberstärke ausgelegt werden. Die Transistoren und damit die Zellen sind deshalb im Vergleich zu Full-Custom-Entwürfen überdimensioniert. Während die Vollkundentechnik die Entwurfsmethode für Großserien ist, rechnen sich Semi-Custom-Entwicklungen aufgrund des geringeren Entwurfsaufwands bei mittleren Stückzahlen (10 000 bis 100 000 ASICs pro Jahr).

2.3.2.3

Gate-Arrays

Bei den *Gate-Arrays* geht die Standardisierung noch weiter als bei der Semi-Custom-Technik. Bei Gate-Arrays benutzt man bis auf die Verdrahtungsebenen vorgefertigte Anordnungen von MOS-Transistoren (*Master-Arrays*, *array*, engl. das Feld), die kundenspezifisch verbunden werden können. Die anwendungsspezifische Verschaltung erfolgt später über die Metall- und Kontaktlagen. Auch hier stehen Zellenbibliotheken zur Verfügung, die wie die Grundelemente der Standardzellenentwurfstechnik zu einem Schaltplan zusammengesetzt und simuliert werden können. Das zugehörige Layout für die Verdrahtungsebenen (meist drei Metallagen) und die Kontaktlagen wird mit Platzierungs- und Verdrahtungsalgorithmen erzeugt, die an die Gate-Array-Technik angepaßt sind.

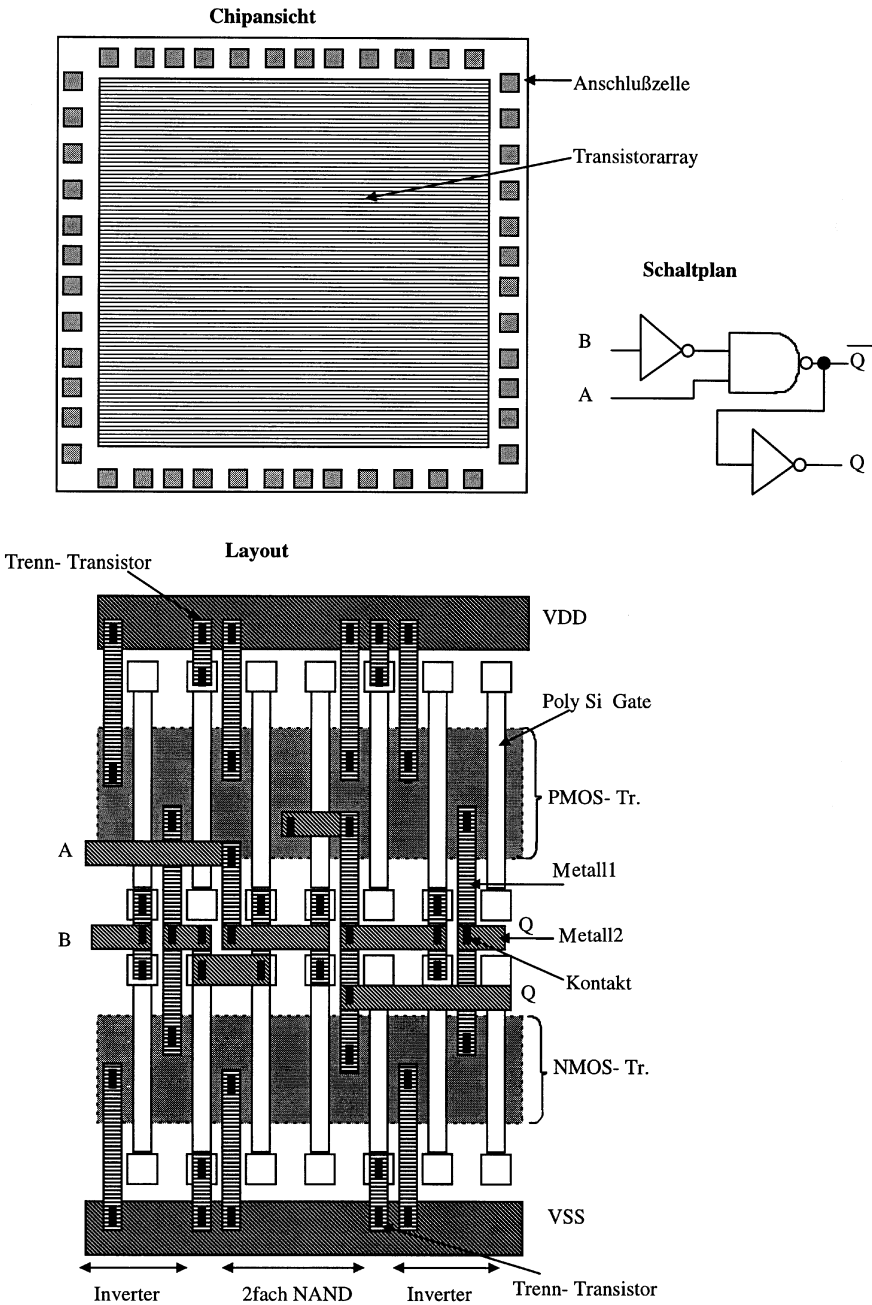


Bild 2-9. Chipansicht eines Master-Arrays und Layout-Ausschnitt aus der verdrahteten Version eines sog. *Sea of Gates* Gate-Arrays. Der zugehörige Schaltplan ist oben links gezeigt. Trenn-Transistoren (NMOS-Tr. mit Gate auf V_{SS} , bzw. PMOS-Tr. mit Gate auf V_{DD}) isolieren benachbarte Diffusionsgebiete

Die feste Anzahl der auf einem Master-Array vorhandenen Bauelemente begrenzt allerdings die Komplexität der Schaltung, und die feste Dimensionierung der Transistoren erlaubt im Prinzip nur digitale Bibliothekselemente. Um einfache Analogfunktionen zu realisieren, enthalten die heute gebräuchlichen Arrays einige spezielle, fest platzierte Analogzellen, wie einfache Operationsverstärker oder Oszillatorschaltungen.

Die Entwurfsgrundlagen (Zellbibliothek und Simulationsparameter) werden vom Gate-Array-Hersteller zur Verfügung gestellt. Die Layoutdarstellung der einzelnen Zellen bestehen nur aus Verdrahtungs- und Kontaktstrukturen, die die im festen Raster platzierten Transistoren geeignet verbinden. Abbildung 2.9 zeigt die entsprechende Verdrahtung.

Da der gesamte Herstellprozeß von Gate-Array-Chips bis auf wenige Maskenebenen (Metall- und Kontaktlagen) standardisiert ist, liegen die Masken- und Fabrikationskosten von Gate-Arrays deutlich unterhalb von Semi- oder Full-Custom-ASICs. Da die Master-Arrays vorfabriziert werden können, sind Prototypen nach Abgabe des Designs viel schneller verfügbar, denn anders als bei den anderen beiden Entwurfstechniken sind nicht alle Prozeßmaskenebenen zur Fertigstellung von Mustern zu durchlaufen. Die starre Anordnung der Transistoren in den Master-Arrays behindert allerdings die Layouterstellung, und deshalb benötigen Gate-Arrays eine um den Faktor 2 bis 3 größere Chipfläche als Standardzellenschaltkreise. Gate-Array-Realisierungen sind deshalb nur bei kleineren Stückzahlen (bis zu 20000 ASICs pro Jahr) interessant.

2.3.3

Das integrationsgerechte Schaltungskonzept

Das am Anfang des Entwurfsprozesses zu erarbeitende Schaltungskonzept entscheidet neben kommerziellen Gesichtspunkten, welche Entwurfsmethode und welche Halbleitertechnologie bei einem ASIC-Projekt in Frage kommen.

Im Prinzip lassen sich alle Funktionen, für die Standardschaltkreise auf dem Markt erhältlich sind, auch integrieren. Werden nur digitale Logikgatter in einem ASIC zusammengefaßt, dann ist die Integration im Prinzip eine einfache direkte 1:1-Umsetzung der diskreten Schaltung, und es können alle Realisierungstechniken verwendet werden.

Sobald aber analoge Funktionen hinzukommen, ist die direkte Umsetzung einer existierenden Hardwarerealisierung bei gemischt analog-digitalen Systemen fast nie möglich, denn die Komponenten, die als Standardbauteile zur Verfügung stehen, sind in unterschiedlichsten Technologien gefertigt, während bei einer Integration nur *eine Technologie* auf einem *gemeinsamen Substrat* zur Verfügung steht.

Als Konsequenz zeigen die auf einem Chip integrierten analogen Komponenten im Vergleich zu diskreten Bauelementen meist höhere Ungenauigkeiten. Dies erscheint auf den ersten Blick unverständlich, denn die Herstellverfahren bei analogen Standard-ICs und ASICs unterscheiden sich prinzipiell nicht. Bei Standardschaltungen kann man aber am Ende des Produktionszyklus bestimm-

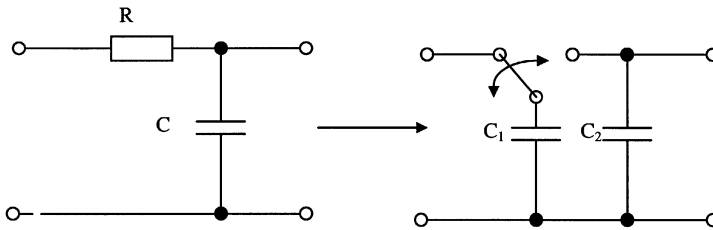


Bild 2-10. Tiefpaß mit Zeitkonstante $t = RC$ und SC-Filter mit Zeitkonstante $t = (\text{fosz})^{-1} (C_2/C_1)$. „fosz“ ist die Frequenz, mit der der Schalter zwischen den beiden Kondensatoren hin- und herschaltet. Der Schalter kann durch zwei komplementäre MOS-Transistoren realisiert werden, die mit zeitlich nicht überlappenden Taktsignalen angesteuert werden

te Schaltungskomponenten abgleichen (Lasertrimming) oder die Bauelemente im Hinblick auf bestimmte Kennwerte beim elektrischen Endtest in der Halbleiterfabrik selektieren. Meistens scheiden solche Methoden zur Einengung der Herstelltoleranzen bei der ASIC-Herstellung aus Kostengründen aus. Aufgrund der geringeren ASIC-Stückzahlen rechnet sich die Einrichtung automatisierter Abgleichverfahren nicht. Es lohnt sich außerdem nicht, wegen Ungenauigkeiten einer einzigen Analogfunktion – mit vielleicht nur 20 Transistoren – ein komplettes ASIC mit 100 000 Transistoren beim Endtest auszusondern.

Schaltungen, die im diskreten Aufbau Präzisionskomponenten beinhalten, sind deshalb bei der Integration durch Konzepte zu ersetzen, die weniger sensitiv auf Schwankungen der Prozeßparameter reagieren. Häufig enthalten solche integrationsgerechten Schaltungskonzepte allerdings mehr Bauelemente als die diskrete Lösung. Da bei ASICs aber mühelos 1000 und mehr Transistoren pro mm^2 Silizium untergebracht werden können, fällt dieser Zusatzaufwand nicht weiter ins Gewicht.

Ein Beispiel für die Darstellung von analogen Funktionen in integrierte Schaltungen sind die in diskreten Schaltkreisen gebräuchlichen RC-Filter. Hier wird die sog. Switched Capacitor-Technik verwendet, bei denen schlecht integrierbare ohmsche Widerstände durch getaktete Kondensatoren ersetzt werden (Abb. 2.10). Die Zeitkonstanten des Filters hängen dann nur von der Taktfrequenz und bestimmten Kapazitätsverhältnissen ab. Diese Verhältnisse lassen sich sehr genau einstellen, denn zwei Kondensatoren auf einem Chip werden aufgrund der identischen Herstellung viel kleinere relative Abweichungen zeigen, als zwei diskrete Bauelemente aus unterschiedlichen Fertigungsladungen. Die Genauigkeit der integrierten Lösung kann daher beim geeigneten Integrationskonzept sogar die Präzision der diskreten Lösung überreffen.

Führen intergrationsgerechte Schaltungstechniken nicht zum Erfolg, dann sind unverzichtbare Präzisionskomponenten notfalls außerhalb des ASICs mit Standardbauelementen zu realisieren.

2.3.4

Optimale Realisierungstechniken

In der Regel stehen zur Darstellung einer festen Funktion mehrere Designvarianten zur Verfügung. Aus Kostengründen wird bei ASIC-Entwicklungen die Variante gesucht, die unter Erfüllung aller technischer und terminlicher Randbedingungen auf den niedrigsten Stückpreis führt. Bei der Berechnung des Stückpreises eines ASICs sind zu den reinen Herstellkosten die anteiligen Entwicklungskosten pro Stück zu addieren.

Während die IC-Herstellkosten von der Chipfläche bestimmt werden, die für die anwendungsspezifische Funktion benötigt wird, hängen die Entwicklungskosten stark von der gewählten Realisierungstechnik ab. In der Regel sinkt dabei mit steigendem Entwurfsaufwand die Chipfläche. So lassen sich Gate-Arrays preiswert entwickeln, sind aber großflächig und daher im Stückpreis ungünstig. Durch aufwendigere Entwurfsmethoden, wie etwa einen vollkundenspezifischen Entwurf, können drastische Verkleinerungen in der Chipfläche und damit drastische Reduktionen des Teilepreises erzielt werden. Die Entwicklungskosten steigen dabei aber überproportional. Beim Einsatz von ASICs gilt es also den optimalen Kompromiß zwischen den konkurrierenden Kriterien Chipfläche und Entwurfsaufwand zu finden und die an die Stückzahl angepaßte Realisierungstechnik zu verwenden.

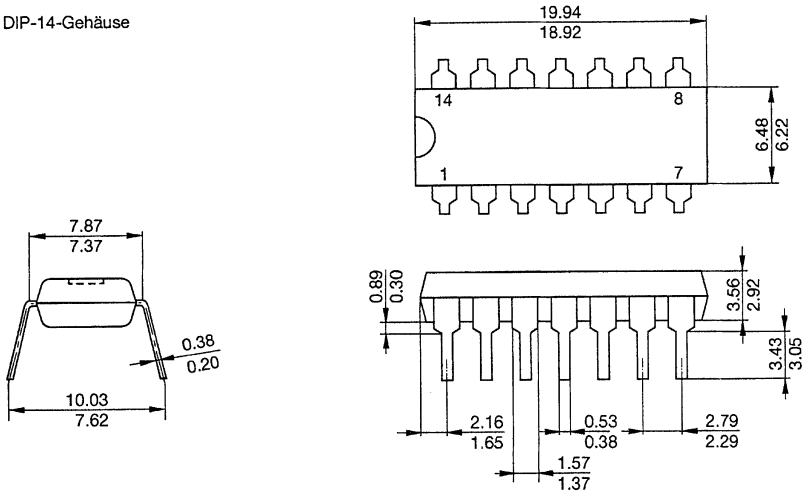
Besonders attraktiv ist der ASIC-Einsatz selbstverständlich immer dann, wenn der Baustein einen großen Bedarf abdeckt. Dies kann durch hohe Gerätestückzahlen erreicht werden oder durch mehrere Einsatzmöglichkeiten des neuen Bausteins in verschiedenen Systemen. Solche Mehrfachnutzungen können ggf. durch den Einbau programmierbarer Strukturen in den Schaltkreis ermöglicht werden, mit denen das ASIC an die jeweilige Anwendung angepaßt werden kann. Dies kann mit Hilfe unterschiedlicher Schaltungsoptionen realisiert werden, die durch Programmiereingänge angewählt werden. Echte Flexibilität mit Einsatzmöglichkeiten in unterschiedlichsten Systemen bieten aber im Prinzip nur Mikroprozessoren oder rekonfigurierbare Logikbausteine, deren Vor- und Nachteile bereits in Abschn. 2.2.1 und 2.2.2.3 diskutiert wurden.

2.4

IC-Gehäuse und Aufbautechnik

Wie bereits erwähnt, haben die IC-Gehäuse einen wesentlichen Einfluß auf den ASIC-Preis und bestimmen über die Wärmeleitfähigkeit des Gehäusematerials die tolerierbare Verlustleistung, die auf dem Chip entsteht. Gehäuse schützen außerdem die empfindlichen Halbleiterplättchen vor schädlichen Umwelteinflüssen, wie Feuchte, Lichteinfall oder mechanischer Beanspruchung. Über die Gehäusemontage werden auch die Strukturbreiten der Halbleitertechnologie (Mikrometerbereich) an die gröbere Leiterplattentechnologie (Millimeterbereich) angepaßt. Die physikalischen Eigenschaften der Gehäuse beeinflussen nachhaltig das elektrische Verhalten integrierter Schaltkreise, und bei kleineren

DIP-14-Gehäuse



PLCC-28-Gehäuse

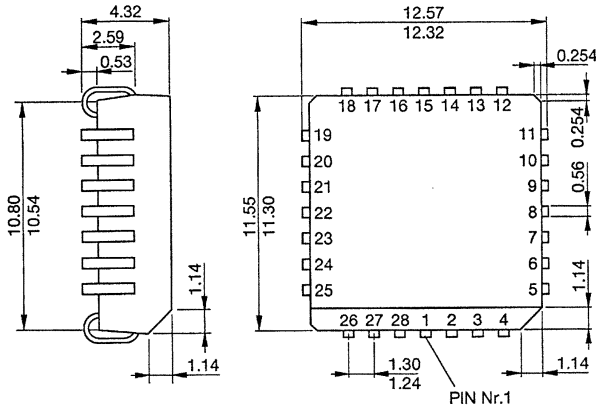


Bild 2-11. Gehäusezeichnungen für ein DIL-Gehäuse (*Dual In Line*) aus Plastik (DIP-14) mit 14 Pins für ein PLCC-Gehäuse (*Plastic Leaded Chip Carrier*) mit 28 Kontakten in J-Form (PLCC-28) Abmessungen in mm (aus [6])

Chips kostet die Verpackung mehr als die Herstellung der Strukturen auf dem Siliziumsubstrat.

Charakteristisch für einen bestimmten Gehäusotyp ist die Zahl der Anschlußstifte (*Pins*) sowie deren Form und Anordnung am Gehäuse. Diese nach außen führenden Kontakte sind über dünne Metalldrähte mit den Bondpads des Chips im Gehäuse verbunden und ermöglichen den elektrischen Zugang zum integrierten Schaltkreis. Abbildung 2.11 zeigt Zeichnungen eines DIL- und eines PLCC-Gehäuses.

Wurden früher IC-Gehäuse als passive Behältnisse für integrierte Schaltungen angesehen, so zeigen diese Überlegungen, daß die Montage- und Gehäuse-

technik entscheidend in Kosten und Leistungsdaten von elektronischen Systemen eingehen. Die ASIC-Gehäuse bestimmen weiterhin entscheidend Größe und Beschaffenheit der Leiterplatte, die für den Aufbau der Gesamtelektronik benötigt wird. Günstig sind kleine Platinen mit wenigen metallisch leitfähigen Schichten und einer geringen Zahl von Durchkontaktierungen. Diese Ziele lassen sich durch Hochintegration der elektronischen Funktionen in möglichst wenige ASICs erreichen. Diese komplexen ASICs haben dann aber meist viele Anschlüsse. Dies bedingt den Einsatz moderner und teurer Gehäusetypen, die wiederum nur auf qualitativ hochwertigen (und damit teuren) Leiterplattenträgermaterialien verarbeitet werden können. Bei der Systempartitionierung ist deshalb die Gehäusewahl für die zu entwickelnden ASICs ein wichtiger Gesichtspunkt. Es kann durchaus kostengünstiger sein, weniger Funktionen in ASICs zu integrieren, wenn dadurch preiswertere Gehäuse verwendet werden können und der so erzielte Kostenvorteil den Kostenaufwand für Zusatzschaltungen auf der Platine übertrifft.

Der Aufwand für den Platinenentwurf hängt stark von der Verteilung der Signale und Spannungen auf die verschiedenen Gehäuseanschlüsse der ASICs ab. Die Signale können beim ASIC-Entwurf zwar nicht vollständig wahlfrei auf die Gehäuseanschlüsse verteilt werden, eine systemorientierte Zuordnung der Signale auf die Gehäusepins kann aber die Entflechtung der Leiterplatte deutlich vereinfachen und ggf. Durchkontaktierungen und Metallagen bei der Leiterplatte einsparen. Bei Gate-Arrays ist man bei der Verwendung der Anschlüsse für Signale und Versorgungen viel stärker eingeschränkt als bei Semi-Custom- und Full-Custom-ICs.

Das dominierende Gehäusematerial ist Kunststoff. Die früher wichtigen hermetischen, aber teuren Keramikgehäuse spielen aus Kostengründen heute kaum noch eine Rolle. Plastikgehäuse bestehen aus einem Metallträger mit ausgestanzten Anschlußkontakten, auf den der Chip geklebt wird. Nach dem Kontaktieren der Bondpads wird die Anordnung mit Plastikmasse umpreßt. Danach werden die Kontaktpins rechtwinklig abgebogen und die Gehäuseanschlüsse verzinnt.

Die verschiedenen IC-Gehäusetypen können in bedrahtete Gehäuse für die Steckmontage und in Gehäuse für die Oberflächenmontage (SMD, *Surface Mount Devices*) eingeteilt werden [6]. Das DIL-Gehäuse in Abb. 2.11 ist ein bedrahtetes Gehäuse, während das PLCC-Gehäuse zu den oberflächenmontierbaren Typen gehört.

Steckmontierbare Gehäuse haben relativ lange Pins und werden wie Einzeltransistoren in metallisierte Kontaktbohrungen der Leiterplatten eingelötet. Die ICs befinden sich nach der Montage auf der nicht metallbeschichteten Rückseite der Platine. Die Lötverbindungen zwischen den Bauelementen und den Leitbahnen der Platine werden in einem Lötbad erzeugt. Die wichtigsten Gehäuse sind die DIL-Gehäuse, bei denen die Anschlüsse in zwei Pinreihen an gegenüberliegenden Seiten des Gehäuses herausgeführt sind und rechtwinklig nach unten zeigen. DIL-Gehäuse können in Plastik oder Keramik ausgeführt sein (DIP- bzw. Cerdil-Gehäuse). Bei DIL-Gehäusen wird ein Raster zwischen den Pins von

QFP-24-Gehäuse

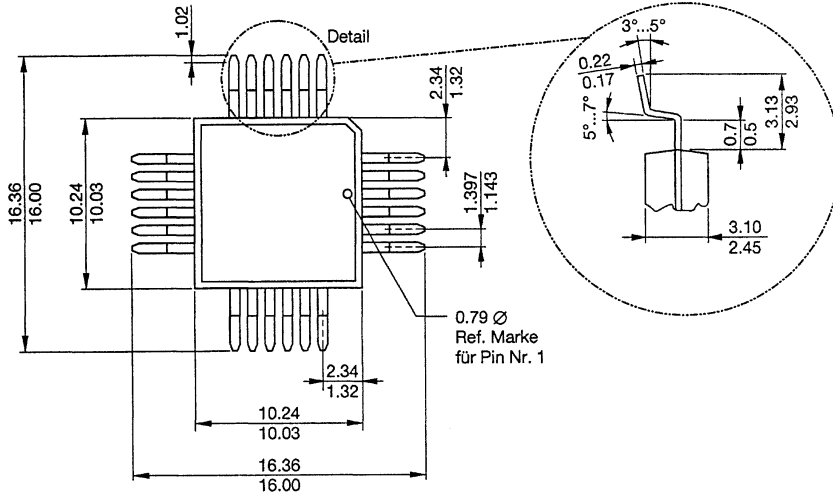


Bild 2-12. Gehäusezeichnung für ein Quad Flat Pack Gehäuse mit 24 Pins (QFP-24), Abmessungen in mm (aus [6])

1/10 Zoll = 2,54 mm eingehalten. Da die Größe von DIL-Gehäusen linear mit der Pinzahl ansteigt, ist die Anschlußzahl hier auf maximal 64 Pins beschränkt.

Oberflächenmontierbare Gehäuse können ohne Lötbad verlötet werden und lassen sich deshalb direkt auf die metallisierte Oberfläche der geätzten Leiterplatte setzen. Die Pins bei SMD-Gehäusen sind wesentlich kürzer als bei steckmontierbaren Bauformen und in geringerem Abstand am Gehäuse angeordnet. Dies reduziert die induktive Belastung der IC-Anschlüsse und ermöglicht sehr kleine Gehäuseabmessungen. Der Lötprozeß bei SM-Bauelementen basiert auf einem Aufschmelzvorgang (*Reflow-Löten*, *reflow*, engl. aufschmelzen), bei dem an den Kontaktstellen aufgebraachte Lötpaste thermisch verflüssigt wird.

Die wichtigsten SMD-Gehäusetypen sind die *Chipcarrier* (engl. für Chipträger) wie das abgebildete PLCC-Gehäuse und die sog. Flachgehäuse (engl. *flat packs*). Das Rastermaß für die Pins ist gegenüber den bedrahteten Gehäusen auf 1,27 mm halbiert.

Chipcarrier-Gehäuse sind in Kunststoff oder Keramik erhältlich. Hier liegen die Anschlüsse an allen vier Gehäuseseiten, wobei die Anschlüsse als gebogene Kontaktstifte (*leaded*, engl. „mit Anschlußdrähten“) ausgeführt sein können oder als vergoldete Kontaktflächen vorliegen (*leadless*, engl. „ohne Anschlußdrähte“). Bei der Form mit Kontaktflächen besteht das Gehäuse aus Keramik (CCC, Ceramic Chip Carrier). Die Chipcarrier mit Kontaktstiften gibt es in Keramik- und Plastikausführung (CLCC- bzw. PLCC-Gehäuse). Typische Pinzahlen bei den Chipcarrier-Gehäusen sind 28, 44 oder 68 Pins.

Flachgehäuse sind nur in Plastik erhältlich. Der Grundriß (Abb. 2.12) ist rechteckig. Die Pins können an vier oder an zwei Seiten herausgeführt sein. Die

erste Form wird als *Quad-Flat-Pack* oder QFP-Gehäuse bezeichnet, die zweite Bauform als SO-Gehäuse (SO: *Small Outline*, engl. für feines Anschlußraster). Die Gehäuseanschlüsse sind bei den QFP-Gehäusen meist L-förmig nach unten und dann nach außen abgebogen. Da alle vier Seiten von QFP-Gehäusen für Pins genutzt werden, gibt es QFP-Gehäuse mit hohen Pinzahlen. Selbst 100 Pins können bei relativ kleinen Gehäusedimensionen realisiert werden. Bei den SO-Gehäusen gibt es Varianten, bei denen die Pins in Form des Buchstaben „J“ (engl. *jay (J)-bended*) gebogen sind, also am Ende nicht nach außen, sondern nach innen gerichtet sind. Diese Biegeform gestattet bei der Leiterplattenmontage neben dem Auflöten auch den Einsatz von Steckfassungen.

Bei SMD-Gehäusen können beide Seiten einer Platine mit Bauelementen bestückt werden. Da keine komplette Durchkontaktierung für einen IC-Anschluß nötig ist, vereinfacht sich der Entwurf von Mehrlagenplatinen. Durch die kleinen Gehäuse bei der Oberflächenmontage wird die Packungsdichte auf der Platine erhöht. Kompakte Geräte aus der Unterhaltungselektronik und der Telekommunikation, wie Camcorder und Mobiltelefon, wären ohne SM-Technik nicht zu realisieren. Insgesamt sinken durch den Einsatz von SMD-Komponenten die Herstellkosten für Platinen, denn Bauteilbestückung und Lötprozeß können weitgehend automatisiert werden.

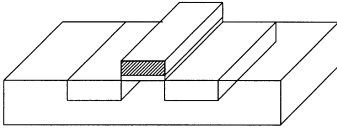
Welche Gehäuse für einen ASIC-Entwurf zur Verfügung stehen, hängt von der Gehäusepalette des Halbleiterherstellers ab. Meist delegieren die Hersteller die Chipverkapselung an Subkontraktoren, die in der Regel in Asien beheimatet sind. Diese Verpackungshäuser akzeptieren in der Regel nur Aufträge für große Serien, denn die Maschinen müssen für jedes IC-Design neu eingestellt werden. Bei Prototypenherstellung und Kleinserienproduktion werden Keramikgehäuse bevorzugt. Diese Gehäuse können unbestückt bezogen werden. Das Einsetzen und elektrische Verbinden von Pins und Pads (Bonden) erfolgt in Handarbeit. Im Rahmen des EURO PRACTICE-Programms stehen Keramik-DIL-Gehäuse, CLCC- und sog. PGA-Gehäuse zur Verfügung. Die Verpackungskosten pro IC in Kleinserie liegen je nach Pinzahl zwischen 30,- und 300,- DM pro Stück.

2.5

Übungsaufgaben

- 2.1 Sie erhalten die Aufgabe, eine digitale Schaltung auf möglichst kleiner Platinenfläche zu realisieren. Es werden nur 25 Platinen gefertigt. Welchen integrierten Schaltungstyp verwenden Sie?
- 2.2 Welche Vor- und Nachteile haben Mikroprozessorschaltungen?
- 2.3 Wo liegen die Einsatzgebiete von MOS- und Bipolarschaltungen?
- 2.4 Nennen Sie die wichtigsten Gehäusetypen. Welche Gehäuse sind für besonders viele IC-Anschlüsse (hoher Pincount) geeignet?
- 2.5 Was versteht man unter „konkurrierenden Kriterien“? Nennen Sie Beispiele aus dem Bereich der Elektronikentwicklung!
- 2.6 Beschreiben Sie die besonderen Herausforderungen beim Entwurf von integrierten Analogschaltungen!

- 2.7 Was versteht man unter einem „Gate-Array“?
- 2.8 Vergleichen Sie den Entwurfsaufwand sowie die Möglichkeiten und Risiken von Semi- und Full-Custom-ASICs!
- 2.9 Nennen Sie die wichtigsten Vorteile und Herausforderungen, die der Einsatz von ASICs mit sich bringt!
- 2.10 Kennzeichnen Sie in der untenstehenden Skizze den Leitungstyp des Substrats sowie der Source- und Drain-Diffusion für einen NMOS-Transistor. Tragen Sie die Kanallänge L und die Kanalweite W ein!



Literatur

- [1] W. Große Bley: *Industrielle Produktentwicklung: Ingenieurkunst oder Geschäftsprozeß*. Physikalische Blätter 53 (1997) 11, S. 1127–1129
- [2] N. H. Weste und K. Eshraghian: *Principles of CMOS VLSI Design. A Systems Perspective*. 2nd Ed. Reading Massachusetts: Addison Wesley 1993
- [3] S. M. Trimberger (Hrsg.): *Field Programmable Gate Array Technology*. Boston, Dordrecht, London: Kluwer Academic Publishers 1994
- [4] H. Klar: *Integrierte Digitale Schaltungen MOS/BiCMOS*. Berlin, Heidelberg, New York: Springer-Verlag 1993
- [5] H. J. M. Veendrick: *MOS ICs From Basics to Asics*. Weinheim: VCH 1992
- [6] B. Hoppe: *Mikroelektronik 2*. Würzburg: Vogel-Verlag 1997

ASIC-Design

Realisierung von VLSI-Systemen mit Mentor V8

Hoppe, B.

1999, XIV, 522 S. 189 Abb., Softcover

ISBN: 978-3-540-61664-1