

Inhaltsverzeichnis

Vorwort	VII
----------------------	-----

I. Übungen zu Band I	1
-----------------------------------	---

I.1 Grundlagen	1
-----------------------------	---

Aufgabe 1: Zu den Maßeinheiten Kilo, Mega, Giga,	(I.1.1)..... 1
Aufgabe 2: Zu den Begriffen bit, byte, bit/s,	(I.1.1)..... 1
Aufgabe 3: Moore'sches Gesetz	(I.1.2)..... 2
Aufgabe 4: Leistungsangabe in MIPS	(I.1.2)..... 2

I.2 Komponenten eines Mikroprozessors	3
--	---

Aufgabe 5: Mikroprogramm-Steuerwerk (Ampelsteuerung)	(I.2.1)..... 3
Aufgabe 6: Mikroprogramm-Steuerwerk (Dualzähler)	(I.2.1)..... 4
Aufgabe 7: Mikroprozessor-Signale (HALT, HOLD)	(I.2.2)..... 4
Aufgabe 8: Interruptsteuerung	(I.2.2)..... 5
Aufgabe 9: Interruptschachtelung	(I.2.2)..... 6
Aufgabe 10: Interruptsteuerung (Motorola MC680X0)	(I.2.2)..... 8
Aufgabe 11: Interruptvektor-Tabelle (Lage und Größe)	(I.2.2)..... 8
Aufgabe 12: Interruptvektor-Tabelle (Interrupt-Startadressen) ..	(I.2.2)..... 8
Aufgabe 13: Indizierte Adressierung	(I.2.3)..... 9
Aufgabe 14: Virtuelle Speicherverwaltung	(I.2.3)..... 10
Aufgabe 15: Arithmetisch/logische Einheit (ALU)	(I.2.4)..... 11
Aufgabe 16: Bereichsüberschreitung der ALU	(I.2.4)..... 12
Aufgabe 17: Schiebe- und Rotationsoperationen	(I.2.4)..... 13
Aufgabe 18: 4-bit-Multiplexer	(I.2.4)..... 13
Aufgabe 19: MMX-Operationen (einfache Operationen)	(I.2.4)..... 14
Aufgabe 20: MMX-Operationen (Operationsfolge)	(I.2.4)..... 14
Aufgabe 21: Universelles Schiebe-/Zähl-Register	(I.2.5)..... 15
Aufgabe 22: Register mit automatischer Modifikation	(I.2.5)..... 15
Aufgabe 23: Register	(I.2.5)..... 17
Aufgabe 24: Systembus-Multiplexer	(I.2.6)..... 18
Aufgabe 25: Busarbiter	(I.2.6)..... 18
Aufgabe 26: Prioritätendecoder	(I.2.6)..... 20
Aufgabe 27: Systembus (Übertragungen)	(I.2.6)..... 21
Aufgabe 28: Systembus (Zeitverhalten)	(I.2.6)..... 24

I.3 Hardware/Software-Schnittstelle	27
--	----

Aufgabe 29: Integer-Zahlen (Zahlenbereich)	(I.3.1)..... 27
Aufgabe 30: Integer-Zahlen (Vorzeichenerweiterung)	(I.3.1)..... 27
Aufgabe 31: Gleitpunktzahlen (8 bit)	(I.3.1)..... 27
Aufgabe 32: IEEE-754-Format (Zahlenbereich)	(I.3.1)..... 28
Aufgabe 33: IEEE-754-Format (Addition)	(I.3.1)..... 28
Aufgabe 34: IEEE-754-Format (IEEE → dezimal)	(I.3.1)..... 29

Aufgabe 35: IEEE-754-Format (Gleitpunkt-Dezimalzahl)	(I.3.1).....	30
Aufgabe 36: IEEE-754-Format (Konstanten-ROM)	(I.3.1).....	31
Aufgabe 37: IEEE-754-Format (dezimal → IEEE)	(I.3.1).....	32
Aufgabe 38: IEEE-754-Format (Gleitpunkt-Multiplikation)	(I.3.1).....	33
Aufgabe 39: IEEE-754-Format (Umwandlung: 32 bit → 64 bit) (I.3.1)		33
Aufgabe 40: Festpunktzahlen (einfache Beispiele)	(I.3.1).....	33
Aufgabe 41: Festpunktzahlen (Komplement und Runden)	(I.3.1).....	34
Aufgabe 42: Festpunktzahlen (Vergleich)	(I.3.1).....	36
Aufgabe 43: Festpunktzahlen (Konvertierung)	(I.3.1).....	38
Aufgabe 44: Festpunktzahlen (Konvertierung)	(I.3.1).....	39
Aufgabe 45: Dynamik der Zahlenbereiche	(I.3.1).....	39
Aufgabe 46: Berechnung des Divisionsrests	(I.3.2).....	40
Aufgabe 47: MMX-Rechenwerk (einfache Befehle)	(I.3.2).....	40
Aufgabe 48: MMX-Rechenwerk (Multiplikation)	(I.3.2).....	41
Aufgabe 49: MMX-Rechenwerk (Bildbearbeitung)	(I.3.2).....	44
Aufgabe 50: MMX-Rechenwerk (Minimum, Maximum)	(I.3.2).....	45
Aufgabe 51: Befehlsbearbeitungszeiten	(I.3.2).....	46
Aufgabe 52: Befehlssatz und Adressierungsarten	(I.3.3).....	46
Aufgabe 53: Befehlssatz und Adressierungsarten	(I.3.3).....	47
Aufgabe 54: Zero-Page-Adressierung	(I.3.3).....	49
Aufgabe 55: Indirekte Adressierung	(I.3.3).....	50
Aufgabe 56: Adressierungsarten (Umwandlung CISC → RISC)	(I.3.3).....	51
.....		
Aufgabe 57: Befehlsanalyse	(I.3.2 – I.3.3)	52
Aufgabe 58: Programmanalyse	(I.3.2 – I.3.3)	55

I.4 Moderne Hochleistungsprozessoren		56
Aufgabe 59: DRAM/Cache-Zugriffszeiten	(I.4.2).....	56
Aufgabe 60: Cache (Trefferate im MC68020)	(I.4.2).....	56
Aufgabe 61: Cache-Organisation (Direct Mapped Cache)	(I.4.2).....	56
Aufgabe 62: Cache-Organisation	(I.4.2).....	57
Aufgabe 63: Cache-Verwaltung	(I.4.2).....	59
Aufgabe 64: Cache (Pseudo-LRU-Verfahren)	(I.4.2).....	62
Aufgabe 65: Einschränkung des Cache-Bereichs	(I.4.2).....	64
Aufgabe 66: Cache-Hierarchie	(I.4.2).....	65
Aufgabe 67: Virtuelle Speicherverwaltung und TLB	(I.4.2).....	67
Aufgabe 68: Pipelineverarbeitung	(I.4.3).....	69
Aufgabe 69: Mehrfach-Pipelines	(I.4.4).....	70
Aufgabe 70: Superskalarität	(I.4.4).....	74
Aufgabe 71: Verzweigungsziel-Vorhersage	(I.4.5).....	74
I.5 Speicher- und Prozeßverwaltung		77
Aufgabe 72: Speicherverwaltung (Zuweisungsverfahren)	(I.5.2).....	77
Aufgabe 73: Speicherverwaltung (Ersetzungsverfahren)	(I.5.2).....	77
Aufgabe 74: Zusammenspiel von Cache und MMU	(I.5.2).....	78

Aufgabe 75: Segmentverwaltung (x86-Prozessoren)	(I.5.3).....	79
Aufgabe 76: Segmentverwaltung	(I.5.3).....	79
Aufgabe 77: Seitenverwaltung und Cache	(I.5.4).....	81
Aufgabe 78: Seitentabellen-Eintrag	(I.5.4).....	83
Aufgabe 79: Vergleich Seiten- vs. Segmentverwaltung (I.5.3 – I.5.7)		84
Aufgabe 80: Speicherverwaltung der x86-Prozessoren	(I.5.4).....	84
Aufgabe 81: Trojanisches-Pferd-Problem	(I.5.5).....	85
Aufgabe 82: Nonconforming Code Segment	(I.5.3).....	86
Aufgabe 83: Berechnung physik. Adressen in 4-Mbyte-Seiten	(I.5.4).....	87
Aufgabe 84: LRU-Ersetzungsstrategie	(I.5.4).....	87
Aufgabe 85: Berechnung der physikalischen Adresse	(I.5.4).....	87
Aufgabe 86: Adreßraum-Erweiterung	(I.5.4).....	88
Aufgabe 87: Prozeß-Kontroll-Block	(I.5.6).....	88
I.6 Digitale Signalprozessoren		89
Aufgabe 88: Daten-Adreßgenerator	(I.6.3).....	89
Aufgabe 89: Schiebe-Normalisier-Einheit	(I.6.3).....	89
Aufgabe 90: DSP-Programmierung (Vektoraddition)	(I.6.3).....	90
Aufgabe 91: DSP-Programmierung (32-bit-Multiplikation)	(I.6.3).....	92
II. Übungen zu Band II		94
II.1 Bussysteme		94
Aufgabe 92: PCI-Bus	(II.1.5).....	94
Aufgabe 93: SCSI-Bus	(II.1.6).....	94
Aufgabe 94: USB	(II.1.7).....	98
Aufgabe 95: CAN-Bus (Arbitrierung)	(II.1.9).....	99
Aufgabe 96: CAN-Bus (Nachrichtenempfang)	(II.1.9).....	101
Aufgabe 97: CAN-Bus (Nachricht senden)	(II.1.9).....	102
II.2 Aufbau und Organisation des Arbeitsspeichers		104
Aufgabe 98: Speicherorganisation	(II.2.2).....	104
Aufgabe 99: Speicherzellen (mit Ohmschen Widerständen)	(II.2.3).....	104
Aufgabe 100: EPROM-Baustein	(II.2.4).....	104
Aufgabe 101: Statische CMOS-Zelle	(II.2.4).....	105
Aufgabe 102: Dynamische 3-Transistor-Speicherzelle	(II.2.4).....	105
Aufgabe 103: Leseverstärker für dynamische RAMs	(II.2.4).....	106
Aufgabe 104: Bank- und Seitenadressierung	(II.2.6).....	107
II.3 Systemsteuer- und Schnittstellenbausteine		109
Aufgabe 105: Interrupt-Controller (Steuerregister).....	(II.3.2).....	109
Aufgabe 106: Interrupt-Controller (im PC)	(II.3.2).....	109
Aufgabe 107: Timer (Zählmodi)	(II.3.4).....	111
Aufgabe 108: Timer (Frequency Shift Keying)	(II.3.3).....	112
Aufgabe 109: Timer (Wobbel-Generator)	(II.3.3).....	114
Aufgabe 110: Timer (Impulslängen-Messung)	(II.3.3).....	115

Aufgabe 111: Timer (Frequenzmessung)	(II.3.4)
117	
Aufgabe 112: Timer (Impulserzeugung)	(II.3.4) 118
Aufgabe 113: Parallelport (Ausgangsschaltung)	(II.3.5) 121
Aufgabe 114: Parallelport (Zeitlicher Verlauf der Zugriffe) ...	(II.3.5) 121
Aufgabe 115: Parallelport (Halbduplex-Übertragung)	(II.3.5) 122
Aufgabe 116: Parallelport (Centronics-Schnittstelle)	(II.3.5) 123
Aufgabe 117: Parallelport (Centronics-Schnittstelle)	(II.3.5) 123
Aufgabe 118: Parallelport (Druckeranschluß)	(II.3.5) 125
Aufgabe 119: Asynchrone serielle Schnittstelle	(II.3.6) 125
Aufgabe 120: Asynchrone serielle Schnittstelle	(II.3.6) 128
Aufgabe 121: Asynchrone serielle Schnittstelle	(II.3.6) 130
Aufgabe 122: Asynchrone serielle Schnittstelle	(II.3.6) 131
Aufgabe 123: Synchrone serielle Schnittstelle	(II.3.7) 133
Aufgabe 124: Digital/Analog-Wandlung	(II.3.8) 133
Aufgabe 125: D/A-Wandlung und PWM-Signal	(II.3.8) 134
Aufgabe 126: D/A-Wandler	(II.3.9) 134
II.4 Mikrocontroller	136
Aufgabe 127: Systembus-Controller	(II.4.3) 136
Aufgabe 128: Virtuelle Speicherverwaltung	(II.4.3) 137
Aufgabe 129: JTAG-Test	(II.4.3) 138
III. Verständnisfragen zum Gesamttext	140
III.1 Ja/Nein-Fragen	140
III.2 Satzergänzungsfragen	144
IV. Lösungen	150
IV.1 Lösungen der Übungen zu Band I	150
IV.2 Lösungen der Übungen zu Band II	233
IV.3 Antworten auf die Ja/Nein-Fragen	270
IV.4 Antworten auf die Ergänzungsfragen	277
Index	285

Mikrorechner-Technik

Übungen und Lösungen

Bähring, H.

2005, XII, 296 S. 78 Abb., Softcover

ISBN: 978-3-540-20942-3