

Inhaltsverzeichnis

1 Programmiermodell	1
1.1 Datentypen	1
1.1.1 Binärziffern (Bits)	2
1.1.2 Vorzeichenlose Dualzahlen	2
1.1.3 Zweierkomplementzahlen	3
1.1.4 Binärcodierte Festkommazahlen	5
1.1.5 Gleitkommazahlen (floating point numbers)	6
1.1.6 Binärcodierte Dezimalzahlen	8
1.1.7 Bedingungscode (condition code)	9
1.2 Adressen	14
1.2.1 Byteordnung (byte ordering)	15
1.2.2 Ausrichtung (alignment)	18
1.2.3 Adressierungsarten	19
1.3 Befehle	29
1.3.1 Operationen	30
1.3.2 Operanden und Ergebnisse	33
1.3.3 Befehlssätze	44
1.3.4 Befehlscodierungen	46
1.4 Zustände	49
1.4.1 Ausnahmebehandlung (exceptions, interrupts)	50
1.4.2 Kontextwechsel	54
1.4.3 Betriebsmodi (Privilegebenen)	60
2 Skalare Prozessoren	63
2.1 Streng sequentiell arbeitende Prozessoren	63
2.1.1 Theoretische Betrachtungen	64
2.1.2 Grundstruktur	66
2.1.3 Speicherung	68
2.1.4 Datenadressierung	69
2.1.5 Befehlsadressierung	71
2.1.6 Datenwerke und Datenregister	74
2.1.7 Befehlsdecoder	77

2.1.8 Abschließende Bemerkungen	86
2.2 Fließbandverarbeitung (pipelining)	89
2.2.1 Kritischer Pfad	90
2.2.2 Überlappende Befehlsverarbeitung	91
2.2.3 Datenflusskonflikte (interlocking, bypassing)	94
2.2.4 Kontrollflusskonflikte (predication, delay slot, branch prediction)	98
2.2.5 Sprungzielvorhersage	123
2.2.6 Daten- und Kontrollflusskonfliktlösung durch Wertvorhersage	127
2.2.7 Grenzen der Fließbandverarbeitung	144
2.3 Speicherkopplung	147
2.3.1 Cache	147
2.3.2 Speicherverwaltung (memory management)	162
3 Operationsparallel arbeitende Prozessoren	171
3.1 Statische Operationsparallelität	172
3.1.1 Multimedia-Einheiten (SIMD-Einheiten)	173
3.1.2 Feldrechner	175
3.1.3 Vektorprozessoren	180
3.1.4 Signalprozessoren	192
3.1.5 VLIW-Prozessoren	194
3.1.6 Prozessoren mit kontrollflussgesteuertem Datenfluss	221
3.2 Dynamische Operations- bzw. Befehlsparallelität	227
3.2.1 Parallelisierung unter Beibehaltung der Befehlsreihenfolge	230
3.2.2 Parallelisierung durch Umordnung der Befehlsreihenfolge	233
3.2.3 Befehlsbeendigung	238
3.2.4 Trace-Cache	247
3.2.5 Superspekulative Befehlsverarbeitung	252
3.3 Multithreading (vielfädige Verarbeitung)	255
3.3.1 Verschränktes Multithreading (interleaved multithreading, IMT)	256
3.3.2 Blockbasiertes Multithreading (blocked multithreading, BMT)	260
3.3.3 Simultanes Multithreading (simultaneous multithreading, SMT)	263
4 Prozessorbau im Hardware-Software-Codesign	268
4.1 Grundlagen virtueller Prozessoren	269
4.1.1 Interpretation	269
4.1.2 Laufzeittransformation	272
4.1.3 Laufzeitübersetzung (just in time compiling)	280
4.1.4 Bewertungskriterien	282

4.2 Dynamische Binärübersetzung (dynamic binary translation)	283
4.2.1 Profilbildung	286
4.2.2 Separation	288
4.2.3 Binärübersetzung	289
4.2.4 Codewandlung (code morphing)	293
4.2.5 Binden (linking)	294
4.2.6 Speicherbereinigung (garbage collection)	297
4.2.7 Ausnahmeverarbeitung	300
4.2.8 Prozessorabstraktionsschicht (PAL)	305
Anhang A: Nemesis Programmiermodell (Version 1.1)	309
A.1 Arbeitsregister	314
A.2 Spezialregister	316
A.3 Adressierungsarten	327
A.4 Präfixbefehle	331
A.5 Erlaubte Präfixbefehl-Befehl-Kombinationen	334
A.6 Befehlssatz	335
A.7 Ausnahmebehandlung	346
A.8 Prozessorabstraktionsschicht (PAL)	348
Literatur	359
Sachverzeichnis	369
Produktverzeichnis	383



<http://www.springer.com/978-3-540-24390-8>

Moderne Prozessorarchitekturen
Prinzipien und ihre Realisierungen

Menge, M.

2005, XVI, 384 S., Softcover

ISBN: 978-3-540-24390-8