

4.1 Problematik der Aufbau- und Verbindungstechnik

Der Einsatz eines Leistungsbauelements führt zu Verlusten. In einem vereinfachten Anwendungsbeispiel soll die Größenordnung abgeschätzt werden:

IGBT Modul BSM50GB120DLC (Infineon), auf luftgekühltem Kühlkörper

Betriebsbedingung: $I_C = 50 \text{ A}$, $U_{\text{bat}} = 600 \text{ V}$, $R_G = 15 \text{ } \Omega$, $T_j = 125 \text{ } ^\circ\text{C}$,

$f = 5 \text{ kHz}$, duty cycle $d = 0,5$

Aus dem Datenblatt ist dafür zu entnehmen:

Durchlass-Spannungsabfall:

$$U_C = 2,4 \text{ V}$$

Einschaltverlust-Arbeit pro Puls:

$$W_{\text{on}} = 6,4 \text{ mWs}$$

Ausschaltverlust-Arbeit pro Puls:

$$W_{\text{off}} = 6,2 \text{ mWs}$$

Für die im Bauelement anfallende Verlustleistung gilt

$$P_V = P_{\text{leit}} + P_{\text{on}} + P_{\text{off}} = d \cdot I_F \cdot U_C + f \cdot W_{\text{on}} + f \cdot W_{\text{off}} \quad (4.1)$$

Sperrverluste können bei Anwendung von IGBTs und MOSFETs vernachlässigt werden. Für das gewählte Beispiel führt (4.1) auf 123 W. Gemessen an der gesteuerten Leistung (30 kW) bleiben diese Verluste gering. Für die Abschätzung des Wirkungsgrads ist noch die dazugehörige Freilaufdiode zu berücksichtigen, darüber hinaus liegt in den meisten Fällen der Anwendung eine Brückenschaltung mit 2 Bauelementen in Reihe vor. Dennoch bleibt es bei einem Wirkungsgrad in der Größenordnung von 98 %.

Allerdings sind die 123 W Verlustleistung aus einem IGBT-Chip der Größe von ca. 1 cm^2 abzuführen, d. h. der Wärmefluss pro Fläche beträgt 123 W/cm^2 bzw. $1,23 \text{ MW/m}^2$. Bei einer Anwendung auf einem wassergekühlten Kühlkörper und voller Ausreizung der Möglichkeiten des Moduls wird der Wärmefluss sogar 2–3 mal so hoch sein. Abbildung 4.1 vergleicht diesen Wärmefluss mit dem anderer Wärmequellen.

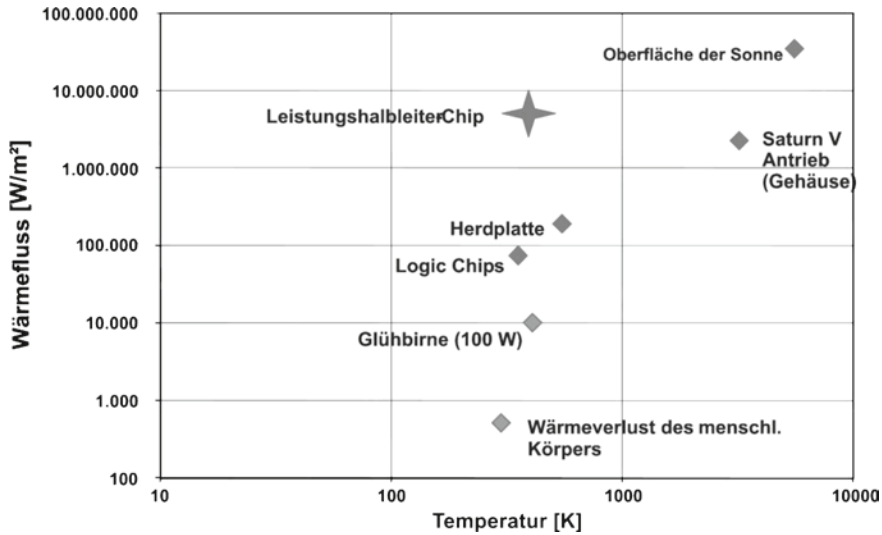


Abb. 4.1 Wärmeflussdichte verschiedener Wärmequellen. Bild von Dr. W. Tursky, Semikron

Die Wärmeflussdichte in einem Leistungsmodul liegt somit eine Zehnerpotenz über der einer Kochplatte. Dabei hat die Aufbau- und Verbindungstechnik aber nicht nur die dafür erforderliche hohe Wärmeleitfähigkeit zu gewährleisten, es sind noch eine Reihe weiterer Anforderungen zu erfüllen:

- Hohe Zuverlässigkeit, d. h. eine zu erwartende lange Lebensdauer und damit eine hohe Beständigkeit unter der Bedingung wechselnder Belastung (Lastwechselbeständigkeit)
- Hohe elektrische Leitfähigkeit der Komponenten, geringe unerwünschte (parasitäre) elektrische Eigenschaften (parasitäre Induktivitäten, parasitäre Kapazitäten)
- Bei Modulen kommt dazu noch die Anforderung der dielektrischen Isolation.

Die Lösung dieser Problematik ist keineswegs trivial und heute eine der interessantesten ingenieurtechnischen Aufgaben. Module sind die am meisten verwendeten Gehäuseformen und werden daher in den folgenden Abschnitten ausführlich behandelt.

4.2 Gehäuseformen

Ein wesentliches Kriterium für die Wahl einer geeigneten Gehäuseform ist die Leistungsklasse des Bauelements. Abbildung 4.2 gibt dazu einen Überblick.

Im Bereich kleiner Leistungen sind diskrete Bauelemente vorherrschend. Diese Bauelemente werden anschließend auf beschichtete Leiterplatten (PCBs) aufgelötet. Die Anforderungen an die abzuführende Kühlleistung sind im Allgemeinen noch gering.

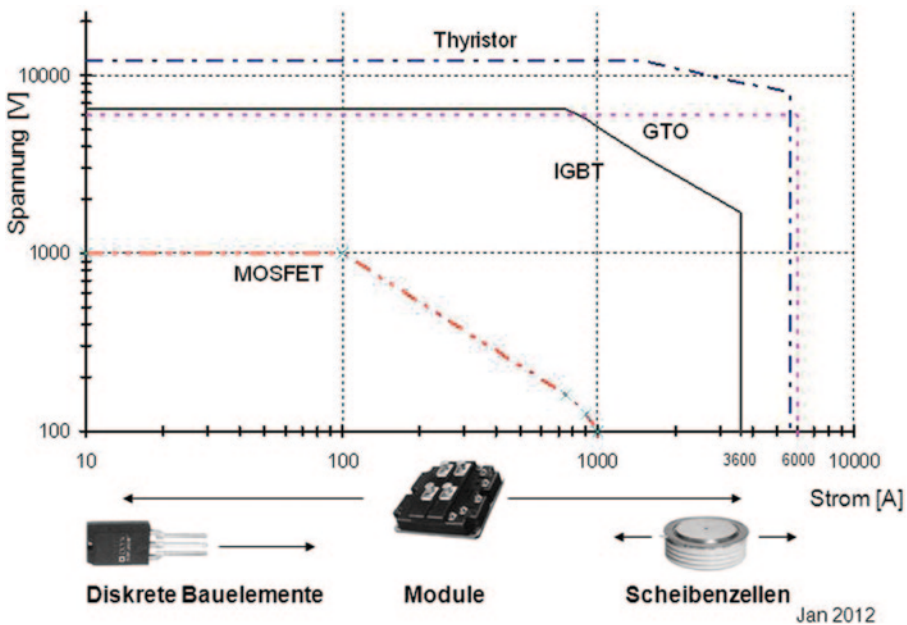


Abb. 4.2 Leistungsklasse moderner Bauelemente (Stand 2012) und die vorherrschenden Gehäuseformen

In den meisten Fällen liegt keine innere Isolation vor. Am meisten verbreitet ist die TO-Familie.

Der diskrete Aufbau, in dem zumeist nur ein einzelner Leistungsschalter integriert ist, muss folgende Funktionen erfüllen:

- Zuführung von Laststrom + Steuersignalen
- Abführung der Wärme
- Kapselung des Halbleiters gegen Umgebungseinflüsse

Ebenfalls diskret aufgebaut sind die Scheibenzellen, sie werden verwandt im Leistungsbereich, der von Modulen noch nicht erreicht wird. Scheibenzellen verfügen über keine innere Isolation. Sie sind beidseitig kühlbar. Im Höchstleistungsbereich wird ein Chip aus einem Wafer gefertigt, der Chip ist rund und die Scheibenzelle die geeignete Bauform.

In Scheibengehäusen liegt ein Thyristor von Mitsubishi vor, der bis 12 kV und 1,5 kA spezifiziert ist. Für Anwendungen der Hochspannungs-Gleichstromübertragung (HGÜ) sind Thyristoren bis an die 5,8 kA und 8 kV spezifiziert. Der „Chip“ dieser Bauelemente wird aus einem kompletten 150 mm Silizium-Wafer gefertigt.

Von Mitsubishi wird ein abschaltbarer Thyristor (GTO) angeboten, dessen Chip aus einem 150 mm Wafer gefertigt ist und mit 6 kV/6 kA spezifiziert ist.

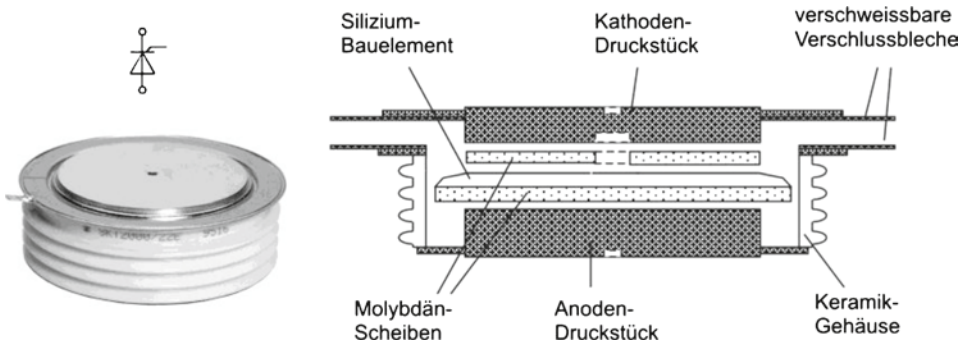


Abb. 4.3 Aufbau einer Scheibenzelle (vereinfacht)

Leistungsmodule sind über die Merkmale diskreter Aufbauten hinaus gekennzeichnet durch

- einen isolierten Aufbau, bei dem die Komponenten im elektrischen Kreis von der wärmeabführenden Grundfläche dielektrisch getrennt sind,
- sie enthalten entweder mehrere Einzelfunktionen (Brückenschaltung bzw. Halbbrücke) oder eine Parallelschaltung von Einzelchips.

Im niedrigen Leistungsbereich ist die Integration sehr vieler Funktionen (komplette 3phasige Wechselstrombrücke und mehr) kennzeichnend, ab einem mittleren Strom von ca. 10 A beginnen sich Module durchzusetzen. Im hohen Leistungsbereich liegt ein Modul von Infineon mit 6,5 kV IGBTs und zugehörigen Freilaufdioden vor, der Dauergrenzstrom ist auf 900 A spezifiziert. Ebenfalls mit IGBTs, aber im 1200 V Bereich, bietet Infineon ein auf 3,6 kA spezifiziertes Modul an. Darin sind 24 IGBT-Chips und 12 Freilaufdioden parallel geschaltet. Module sind weit in den früher von Scheibenzellen dominierten Bereich vorgedrungen, der Trend setzt sich fort.

4.2.1 Scheibenzellen

Abbildung 4.3 zeigt eine Scheibenzelle (engl. press-pack, auch hockey puck) und ihren inneren Aufbau in vereinfachter Darstellung.

Zur Homogenisierung des Drucks und zur besseren Anpassung der thermischen Ausdehnungskoeffizienten ist das Silizium-Bauelement (Thyristor) zwischen zwei Molybdän-scheiben eingelegt. In dem Beispiel in Abb. 4.3 ist es anodenseitig auf eine Molybdän-Scheibe vormontiert. In Abb. 4.3 sind aus Gründen der Übersichtlichkeit Zentrierereinrichtungen nicht aufgenommen, auch nicht die Gate-Kontaktierung, die durch eine Aussparung im Kathoden-Druckstück über eine Feder in die Mitte des Bauelements geführt wird. Nach Verschweißen der beiden Verschlussbleche ist das Gehäuse hermetisch dicht verschlossen.

Der elektrische und thermische Kontakt ist erst hergestellt, wenn das Gehäuse einem definierten Druck ausgesetzt wird, der typischerweise bei 10–20 N/mm² liegt.

Die gewählte Verbindung zwischen Halbleiter und Molybdän ist bei verschiedenen Herstellern unterschiedlich. Für kleinere Durchmesser bis etwa 5 cm kommt Löten in Betracht, allerdings ist zu beachten, dass ein Lot gewählt wird, das unter hohem Druck nur geringe Fließeigenschaften besitzt. Für größere Durchmesser kommen Legierungsverfahren in Betracht. Auch ein Aufbau, bei dem auf jede stoffschlüssige Verbindung verzichtet wird, und die Komponenten nur durch Druckkontakt verbunden sind, wird eingesetzt. Eine moderne Technologie für die Verbindung von Silizium und Molybdän ist das Diffusionssintern: Beide zu verbindenden Partner sind mit einer Edelmetall-Oberfläche versehen, ein Pulver aus Silberpartikeln wird zwischen die Flächen gebracht und unter hohem Druck wird bei 250 °C eine sehr zuverlässige Verbindung hergestellt.

In Scheibenzellen werden zumeist konventionelle Bauelemente eingesetzt: Dioden, Thyristoren, GTOs und die aus dem GTO abgeleiteten GCTs. Vorteile der Scheibenzelle sind:

- Kompakt, sehr hoher Anteil der Halbleiterfläche an der Gehäusefläche
- Beidseitig kühlbar
- Keine Bondverbindungen – Bonddrähte sind immer ein die Zuverlässigkeit einschränkender Faktor
- Wenige oder keine starren Verbindungen zwischen Materialien unterschiedlicher thermischer Ausdehnung.

Aus den beiden letzten Faktoren lässt sich eine hohe Zuverlässigkeit erwarten. Nachteile der Scheibenzelle sind

- Keine dielektrische Isolation. Für die dielektrische Isolation muss der Anwender sorgen.
- Höherer Aufwand in der Montage der Umrichter. Der Druck muss definiert eingestellt werden und uniaxial gerichtet sein.

Aufgrund der genannten Vorteile wurden auch Scheibenzellen mit IGBTs realisiert. Angesichts der hohen Zelldichte können jedoch IGBTs nur in kleinerer Chipfläche hergestellt werden, um Probleme mit der Ausbeute in der Fertigung zu vermeiden. Die größten kommerziell realisierten Chips liegen bei Flächen um 300 mm². Die Anordnung dieser quadratischen Chips in „Presspack-IGBTs“ ist allerdings technologisch sehr aufwendig. Ein Beispiel für einen Presspack-IGBT zeigt Abb. 4.4. Die kollektorseitig mit Molybdän-Plättchen versehenen Chips werden auf einer runden Molybdän-Scheibe angeordnet, durch eine Justierung auf Abstand gehalten. Auf die Chips wird jeweils eine weitere Molybdän-Scheibe mit Aussparung für die Gate-Kontaktierung aufgelegt. Die Gate-Kontaktierung erfolgt über Federn, die in einer weiteren Justieranordnung geführt werden. Das obere Druckstück hat die Aufgabe, jeder Chip mit einem gleichmäßigen Druck zu belasten. Das

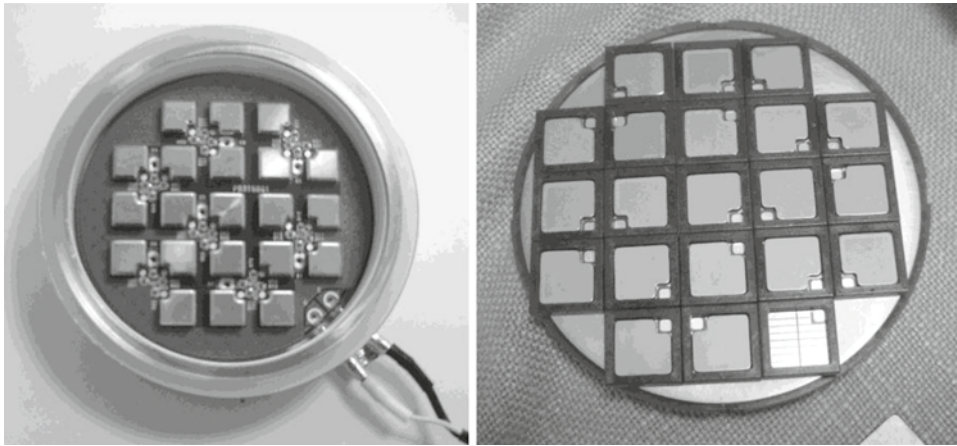


Abb. 4.4 Presspack IGBT. Emitter-Druckstück (links), Anordnung der Chips (rechts)

erfordert sehr exakte Einhaltung der Maße im gesamten System, denn alle 21 parallelgeschalteten IGBT-Chips müssen mit gleichem Druck belastet werden.

Im oberen Druckstück findet sich eine Leiterplatte, auf die in SMD-Technik Vorwiderstände für die einzelnen Gates aufgelötet sind. Der komplexe Aufbau eines Presspacks mit IGBTs stellt im Vergleich zu einem Leistungsmodul an die Montagetechnik sehr viel höhere Anforderungen hinsichtlich der zulässigen Toleranzen. Ob die erwartete höhere Zuverlässigkeit (Lastwechselfestigkeit) die Nachteile bei der Herstellung und Anwendung des Press-Pack-Moduls übertreffen wird und andere Bauformen verdrängen kann, ist heute noch nicht absehbar.

4.2.2 Die TO-Familie und ihre Verwandten

Im unteren Leistungsbereich sind ebenfalls diskrete Bauelemente weit verbreitet. Sie werden heute dominiert durch die TO-Familie. Den Grundtyp zeigt Abb. 4.5

Die Zuleitungen (engl. „leads“, auch als „legs“ – Beine bezeichnet) sind mit dem Kupfer-Grundkörper stoffschlüssig verbunden. Der Halbleiterchip ist direkt auf den Kupfer-Grundkörper aufgelötet, der Aufbau ist nicht isoliert. Die Bonddrähte führen auf Anschlüsse an die Zuleitungen, Steueranschluss (Gate) und Hauptanschlüsse sind voneinander getrennt.

Die Verbindung Si-Cu mit sehr unterschiedlichen thermischen Ausdehnungskoeffizienten ist ein Nachteil dieser Bauform, der die Zuverlässigkeit einschränkt.

Eine Verbesserung in der Beziehung ist das von IXYS eingeführte ISOPLUS Gehäuse, in dem der Kupfer-Grundkörper durch ein Keramik-Substrat ersetzt ist (Abb. 4.6) und das in der Bauform bereits einem Modul gleicht. Es verfügt gegenüber dem Standard-Gehäuse über die Vorteile

Abb. 4.5 TO-Gehäuse,
Grundtyp

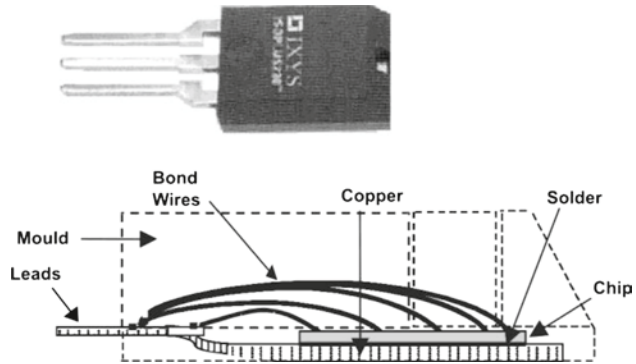
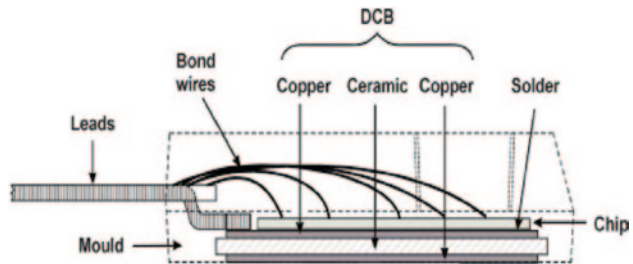


Abb. 4.6 TO-Gehäuse mit
isoliertem Aufbau



- bessere Anpassung der thermischen Ausdehnungskoeffizienten und höhere Zuverlässigkeit
- isolierter Aufbau
- geringere parasitäre Kapazitäten im Vergleich zu Aufbauten von Standardgehäusen mit Polyimid-Folie (s. dazu Abschn. 4.5)

Ein Nachteil ist auf den ersten Blick der gegenüber Cu schlechtere Wärmewiderstand der Keramik. Sollen jedoch mehrere Schalter auf unterschiedlichen Potentialen auf dem gleichen Kühlkörper montiert werden, so ist die keramische Isolation meist günstiger für den Wärmewiderstand als extern eingesetzte Isolierfolien.

MOSFETs sind in derartigen Gehäusen am meisten verbreitet. Gerade im unteren Leistungsbereich gelang es, den Widerstand R_{on} der MOSFETs drastisch zu reduzieren. Daher treten die Schwachpunkte dieser Gehäuse hervor: Das Gehäuse hat einen parasitären elektrischen Widerstand in derselben Größenordnung wie R_{on} eines modernen MOSFETs.

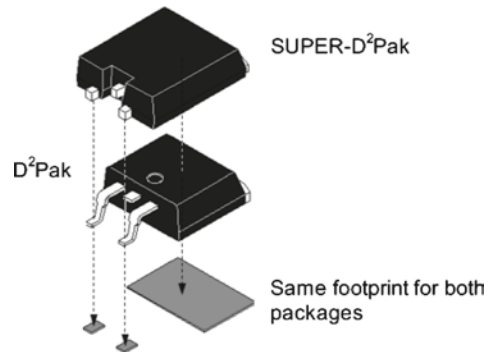
Die Zuleitungen (leads) sind einer der begrenzenden Faktoren. Für ihren Widerstand gilt

$$R_Z = \rho \cdot \frac{l}{A} \quad (4.2)$$

Abb. 4.7 Verringerung des Widerstands der Anschlüsse in TO-Gehäusen. Aus [Swa00]



Abb. 4.8 Für SMD-Technik optimierte Bauform. Aus [Swa00]



Bei einer Kupfer-Zuleitung von $0,5 \text{ mm}^2$ Querschnitt und zwei Zuleitungen der Länge von jeweils 5 mm errechnet sich mit dem spezifischen Widerstand von Cu von $\rho = 1,69 \mu\Omega\text{cm}$ ein Widerstand von $0,34 \text{ m}\Omega$. Bei einem mittleren Strom von 50 A ergibt sich mit

$$P_Z = R_Z \cdot I^2 \quad (4.3)$$

eine Verlustleistung von ca. 0,85 W. Aber die Zuleitungen werden schlecht gekühlt. Durch ohmsche Verluste heizen sie sich auf und können Temperaturen in der Nähe des Schmelzpunkts der Lötstellen an den Leiterplatten erreichen [Swa00]. Dies schädigt diese Lötstellen und setzt die Zuverlässigkeit herab.

Da die in Leiterplatten vorgesehenen Durchführungen heute standardisiert sind, können die Anschlüsse nicht ohne weiteres vergrößert werden (Abb. 4.7). Es gelang allerdings, durch eine Variation der Form der Anschlüsse wie in Abb. 4.7 rechts die Stromtragfähigkeit desselben Gehäuses um 16 % zu erhöhen. Diese Variante des TO 247 wird vom Hersteller als „Super-247“ bezeichnet.

Eine weitere Schwachstelle sind die Bonddrähte. Durch dickere Bonddrähte und/oder Erhöhung der Zahl der Bonddrähte wird an dieser Schwachstelle gearbeitet. Hier ist insbesondere nicht nur der ohmsche, sondern auch der induktive Einfluss der Bonds zu berücksichtigen.

Abbildung 4.8 zeigt eine für Surface Mounted Devices (SMD) vorgesehene Bauform. Die Technologie ist für Multilayer-Leiterplatten geeignet. In der „Super“-Bauform sind nicht nur die Anschlüsse so kurz wie möglich ausgeführt, sondern zusätzlich wurde die Bondverbindung optimiert. Nach [Swa00] konnte die parasitäre Induktivität dadurch um 33 % verringert werden.

Eine radikale Lösung, in der die problematischen Anschlüsse und Bonddrähte vollständig eliminiert werden, ist die von der US-amerikanischen Firma International Rectifier

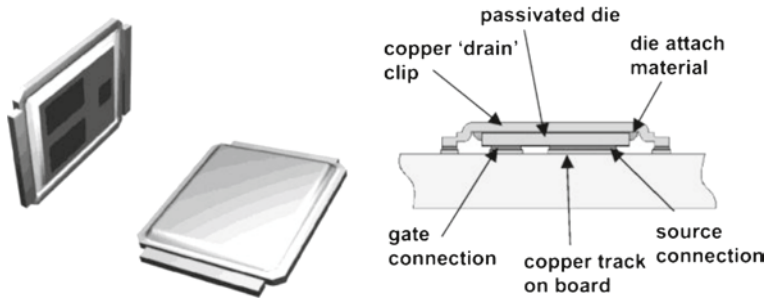


Abb. 4.9 DirectFET Technologie

eingeführte DirectFET-Technologie, die in Abb. 4.9 dargestellt ist. Der Chip ist an den Gate-Anschlüssen und Emitter- bzw. Source-Anschlüssen mit einer lötfähigen Metallisierung versehen. Auf der Drain-Seite ist ein „Drain Clip“ angebracht. In dieser Form wird der Chip direkt auf die vorgesehenen Pads der Leiterbahn aufgelötet.

Neben dem sehr geringen Aufwand für die Montagetechnik besteht der Vorteil dieses Konzepts darin, dass keine Begrenzung der Stromtragfähigkeit durch Zuleitungen (Leads) und Bonddrähte gegeben sind und parasitäre Induktivität dieser Komponenten ebenfalls beseitigt ist. Darüber hinaus ist eine beidseitige Kühlung möglich, wobei über den Drain-Clip wesentlich mehr Wärme abgeführt werden kann als über die Leiterplatte.

Allerdings wird auf eine Kapselung des Bauelements verzichtet, was gleichzeitig der Verzicht auf Schutz vor Feuchtigkeit aggressiver Atmosphäre bedeutet. Ferner ist die Qualität der Lötstellen einer optischen Inspektion nicht mehr zugänglich, was die Qualitätskontrolle in der Leiterplattenbestückung erschwert.

4.2.3 Module

Aufgrund ihres isolierten Aufbaus bieten Module in der Anwendung hohe Vorteile. Sobald die ersten Leistungsmodule auf den Markt kamen (Semikron 1975), setzten sie sich durch. Allerdings waren die ersten Module in ihrem inneren Aufbau sehr komplex. Abbildung 4.10 gibt dazu ein Beispiel. Das Thyristor-Bauelement ist hier durch lötfähige Metallisierungen auf Anode, Kathode und Gate mit den Anschlüssen verbunden. Auf der Kathode wird ein Verbundmaterial eingesetzt, das auf ähnliche thermische Ausdehnung wie Silizium eingestellt ist. Auf der Anodenseite ist Silizium durch Lötung mit Molybdän verbunden. Dieses Molybdän-Plättchen ist notwendig, da der thermische Ausdehnungskoeffizient von Silizium zu Kupfer sich stark unterscheidet. Das Molybdän-Plättchen ist auf die Kupfer-Anschlussschiene gelötet, die Kupferschiene führt den Anodenstrom zu. Darauf folgt eine weitere Lötung zum keramischen Substrat (DCB), das die elektrische Isolation bewirkt. Daran schließt sich die Kupfer-Grundplatte an. Der Aufbau enthält fünf Lötchichten. Trotz seiner Komplexität kann er heute in hohen Stückzahlen automatisiert gefertigt werden.

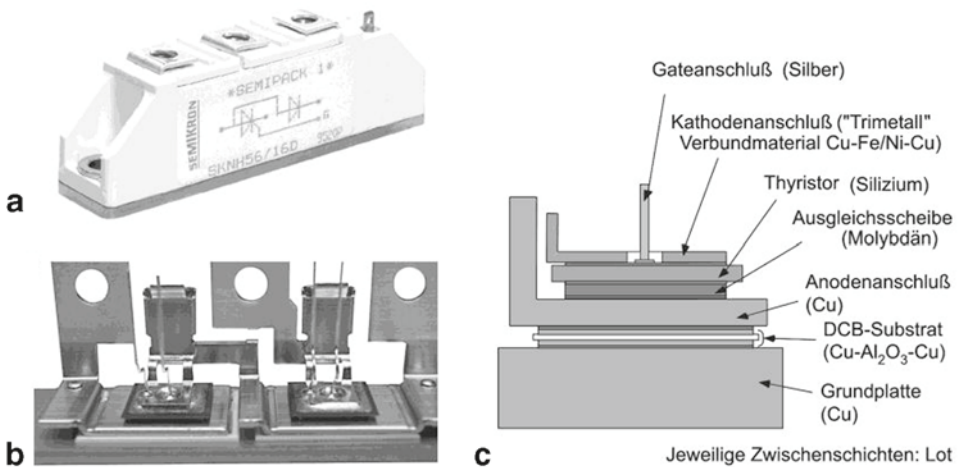
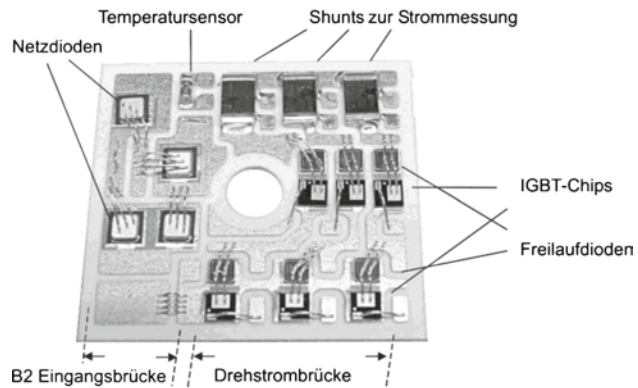


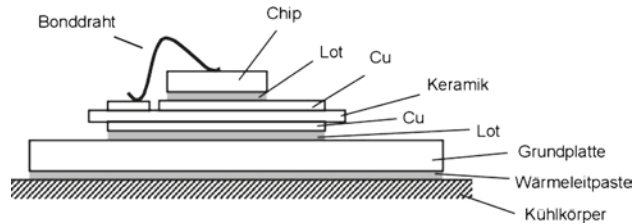
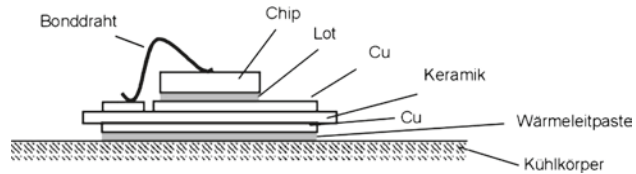
Abb. 4.10 Aufbau eines klassischen Thyristor-Moduls. **a** Außenansicht, **b** innerer Aufbau und **c** Schichtfolge

Abb. 4.11 Innerer Aufbau eines modernen Moduls mit Eingangsbrücke, dreiphasiger Ausgangsbrücke sowie Sensorik



Der Aufbau zeigt, dass der Wärmestrom in diesem Modul vom Silizium-Chip zur Grundplatte und schließlich zu dem in Abb. 4.10 nicht mehr dargestellten Kühlkörper viele Schichten zu überwinden hat. Dazu enthält jede Lötverbindung die Gefahr von Lunkern (Gaseinschlüssen), und die Vielzahl der Lötverbindungen erhöht die Zahl der potentiellen Fehlerquellen.

Mit der Verwendung von IGBTs und MOSFETs haben sich heute neue Aufbaukonzepte durchgesetzt. Ein Beispiel zeigt Abb. 4.11. Die oberen Anschlüsse sind durch Bonddrähte ersetzt. Die Ausgleichsscheibe und die untere Anschluss-Schiene entfallen, der untere Anschluss erfolgt durch die obere Cu-Metallisierung der DCB-Keramik. Es ist eine große Anzahl von Chips in verschiedenen Schaltungskonfigurationen und optional auch Sensoren in einem Modul integriert. In Abb. 4.11 findet sich links die Eingangsbrücke für ein ein-

Abb. 4.12 Standardmodul mit Grundplatte**Abb. 4.13** Modul ohne Grundplatte

phasiges Wechselstromnetz, rechts die Drehstrom-Brückenschaltung, die einen Frequenzumrichter für die Motorsteuerung realisiert.

Trotz dieser Vielzahl realisierter Schaltungstopologien und der Fülle von technologischen Besonderheiten der einzelnen Hersteller lassen sich in vertikaler Richtung – die Richtung des Wärmeflusses – heute zwei Standards angeben, die den Abbildung 4.12 und 4.13 dargestellt sind: Ein Leistungsmodul mit Grundplatte (Abb. 4.12) sowie ein Aufbau ohne Grundplatte (Abb. 4.13). Die verwendeten Lote sind in ihren Dicken und thermischen Eigenschaften ähnlich. Das System Cu-Keramik-Cu (wegen der am meisten benutzten Verbindungstechnik Direct Copper Bonding oft auch DCB-Keramik oder auch nur kurz DCB genannt) wird auch als Substrat bezeichnet, auch unterschiedliche Substrathersteller haben sehr ähnliche Standards. Als Keramik ist in den meisten Fällen Al_2O_3 im Einsatz, in einigen, besonders gekennzeichneten Fällen AlN . Die Grundplatte besteht in den meisten Fällen aus Cu, in einigen speziellen Hochleistungsmodulen aus dem Verbundwerkstoff AlSiC .

In Tab. 4.1 sind die Schichtdicken des Standardmoduls mit Grundplatte aus Abb. 4.12 dargestellt. In der Hauptform „Standard-Modul“ werden heute zwischen 70 und 80 % der Leistungsmodule gefertigt, europäische Hersteller (Infineon, Semikron, IXYS, Dannfoss, Dynex) und Hersteller aus Fernost verwenden denselben Aufbau. In älteren Modulen ist die Dicke der Al_2O_3 Keramik mit 0,63 mm spezifiziert, in neueren Generationen ist zur Verringerung des Wärmewiderstands die Dicke auf 0,38 mm herabgesetzt. Das Substrat ist über eine Lotschicht mit der Cu-Grundplatte verbunden. Unterschiede in der Lotdicke von 0,07 bis 0,1 mm sind für den Wärmeübergang unwesentlich.

Für bessere Wärmeleitfähigkeit und für höhere Isolationsspannung wird AlN eingesetzt, der Standard liegt heute bei 0,63 mm, wobei für Anwendungen mit höheren Isolationsanforderungen auch AlN mit 1 mm im Einsatz ist. AlN ist in der Herstellung erheblich teurer als Al_2O_3 und wird vor allem bei Hochleistungsmodulen eingesetzt. AlN weist aber gegenüber Cu eine stark abweichenden thermischen Ausdehnungskoeffizienten aus. Darum wurde in einer Reihe von Hochleistungsmodulen die Kupfer-Grundplatte durch

Tab. 4.1 Schichtdicken in Modulen mit Grundplatte

	Standard-Modul, Al ₂ O ₃ -basiert d [mm]		Hochleistungsmodul, AlN-Cu-basiert d [mm]		Hochleistungsmodul, AlN/ AlSiC-basiert d [mm]		
Lot	0,05		0,05		0,05		
Kupfer	0,3		0,3		0,3		
Keramik	Al ₂ O ₃	0,381	AlN	0,63	AlN	1	
		0,63		1			
Kupfer	0,3		0,3		0,3		
Lot	0,1		0,1		0,1		
	0,07						
Grundplatte	Cu	3	Cu	5	AlSiC	5	
Wärmeleitpaste	0,05		0,04		0,04		

Tab. 4.2 Schichtdicken in
Modulen ohne Grundplatte

	Al ₂ O ₃ -basiert d [mm]		AlN-basiert d [mm]	
Lot	0,05		0,05	
Kupfer	0,3		0,3	
Keramik	Al ₂ O ₃	0,381	AlN	0,635
		0,635		
Kupfer	0,3		0,3	
Wärmeleitpaste	0,02–0,08		0,02–0,04	

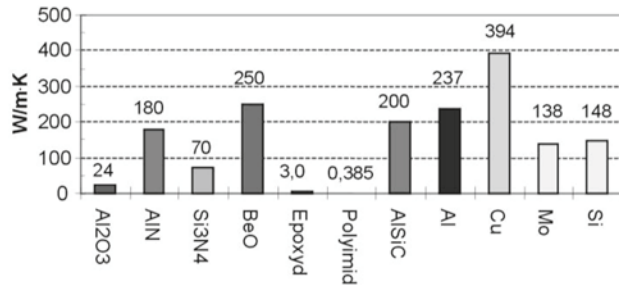
eine Grundplatte aus AlSiC ersetzt. AlSiC ist ein vor kurzer Zeit eingeführter Verbundwerkstoff, er besteht aus einer SiC-Matrix, die mit Al verfüllt ist.

Module ohne Grundplatte nach Abb. 4.13 werden realisiert in der SKiiP-MiniSKiiP-Semitop-Reihe von Semikron sowie in der EasyPIM Reihe von Infineon. In Modulen von IXYS wird diese Aufbauart bereits seit längerem verwendet. Dieselbe Schichtfolge liegt in isolierten Aufbauten im TO247-Gehäuse vor. Bei diesen Modulen entfällt der gelötete Übergang zwischen Substrat und Grundplatte, es verbleibt nur noch ein gelöteter Übergang zwischen Chip und Kühlkörper.

Die Schichtfolge und die Schichtdicken in Modulen ohne Grundplatte sind in Tab. 4.2 dargestellt. In der überwiegenden Mehrheit werden diese Module mit Al₂O₃-Keramik aufgebaut. Bei Al₂O₃ sind 2 Standards bezüglich der Schichtdicken im Einsatz. Auch AlN wird in Aufbauten ohne Grundplatte eingesetzt.

Bei dieser Variante ohne Grundplatte ist nicht nur der Aufwand am geringsten, auch die Zahl möglicher Fehlerquellen in Verbindungen ist am geringsten. Sollen aber großflächige Module realisiert werden, so ist ein aufwendiges System von Druckplatten und/oder Druckstücken notwendig, um den Wärmeübergang auf großen Flächen sicherzustellen. Vorzugsweise werden in dieser Technik kleinflächige Halbleiterchips verarbeitet. Allerdings entfällt mit der Grundplatte auch die Wärmekapazität der Grundplatte und die thermische Impedanz bei Kurzzeitbelastung wird verschlechtert.

Abb. 4.14 Wärmeleitfähigkeit verschiedener Materialien der Aufbau- und Verbindungstechnik



Eine gemeinsame Problematik aller Varianten ist der Übergang vom Modul zum Kühlkörper, wo eine Übergangsschicht aus Wärmeleitpaste eingebracht ist. Diese Wärmeleitpaste hat von allen verwendeten Materialien die schlechtesten thermischen Eigenschaften. In SKiiP-Modulen der Firma Semikron, die vom Halbleiterhersteller auf Kühlkörper montiert ausgeliefert werden, wird dieser Wärmeübergang vom Hersteller mit spezifiziert. Bei Modulen mit Grundplatte wird typischerweise ein Wärmewiderstand vom Chip zum Gehäuse angegeben, dazu ein „typischer“ Wärmewiderstand vom Gehäuse zum Kühlkörper, der noch einmal ca. 50 % des ersteren ausmacht. Allerdings ist dieser Übergang sehr problematisch; es ist bei der Wärmeleitpaste sehr schwierig, zuverlässig eine gleichmäßige dünne Schicht herzustellen. Dies ist jedoch sehr wichtig, denn diese schwer zu beherrschende Schicht prägt wesentlich die thermischen Eigenschaften des Leistungsmoduls in der Anwendung.

4.3 Physikalische Eigenschaften der Materialien

Die in Modulen verwendeten Materialien sind bestimmend für ihre Eigenschaften. Es spielt nicht nur die Wärmeleitung eine Rolle, sondern insbesondere auch die thermische Ausdehnung. Daher ist es notwendig, die Eigenschaften der Materialien zu kennen, um die Vor- und Nachteile ihrer Verwendung zu beurteilen.

Abbildung 4.14 zeigt zunächst die Wärmeleitfähigkeit verschiedener Materialien. Einige für die Isolation in Frage kommenden keramischen Werkstoffe liegen in ihrer Wärmeleitfähigkeit in der Nähe der Metalle. BeO wurde in den Anfangszeiten als Keramik verwendet, ist aber in modernen Modulen nicht mehr eingesetzt, da die bei seiner Verarbeitung anfallenden Stäube stark toxisch sind und es sowohl bezüglich der Fertigung als auch in der Entsorgung einen sehr hohen Aufwand verursacht. Die zweitbeste Wärmeleitfähigkeit der keramischen Werkstoffe in dieser Zusammenstellung weist AlN auf. Allerdings ist es gegenüber Al₂O₃ noch ein Mehrfaches teurer und wird nur dort verwendet, wo es aufgrund der hohen Leistungsdichte unverzichtbar ist. Die organischen Isolatoren Epoxyd und Polyimid (Capton) weisen demgegenüber eine sehr viel schlechtere Wärmeleitfähigkeit auf.

Im Betrieb des Leistungshalbleiters sind wechselnde Lasten typisch, die Temperaturzyklen erzeugen. Die unterschiedlichen thermischen Ausdehnungen belasten die Materia-

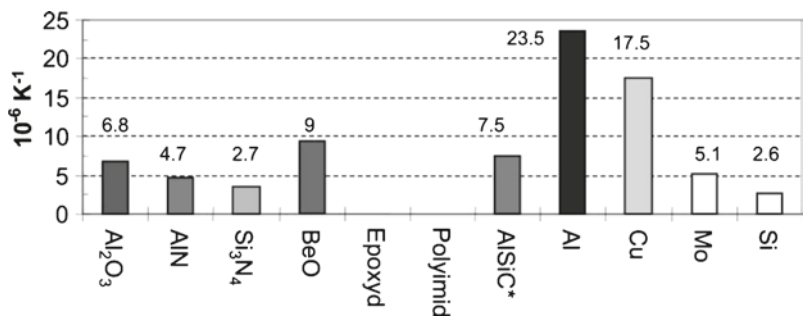


Abb. 4.15 Thermischer Ausdehnungskoeffizient verschiedener Materialien der Aufbau- und Verbindungstechnik. * Abhängig von der Zusammensetzung

len. Um die zwischen verschiedenen Schichten auftretenden Spannungen gering zu halten, sollen die thermischen Ausdehnungskoeffizienten möglichst nahe beieinander liegen. Aus Abb. 4.15 geht hervor, dass der thermische Ausdehnungskoeffizient von Cu sich von Si stark unterscheidet. Es ist daher ungünstig, diese beiden Schichten zu verbinden, wie es in den Standard-TO-Aufbauten (Abb. 4.3) der Fall ist. Von der thermischen Ausdehnung passt die Keramik AlN gut zum Halbleiter Si. Wird AlN verwendet, so besteht aber ein großer Unterschied im thermischen Ausdehnungskoeffizienten zu Cu. Aus diesem Grund wird in Modulen für sehr hohe Leistung das Material AlSiC für Grundplatten eingesetzt (s. Tab. 4.3). Da bei AlSiC das Mischungsverhältnis zwischen Al und SiC variiert werden kann, lässt sich der Ausdehnungskoeffizient so einstellen dass es für die Kombination mit AlN optimal angepasst ist. Allerdings ist dann, wie Abb. 4.14 zeigt, eine schlechtere Wärmeleitfähigkeit in Kauf zu nehmen.

Die in den meisten Fällen als Chipträger eingesetzte Keramik Al₂O₃ ist von der thermischen Fehlanpassung her ungünstiger als AlN, auf der anderen Seite passt Al₂O₃ besser zu einer Cu-Grundplatte.

Die organischen Isolatoren Epoxyd und Polyimid (Capton) sind plastisch verformbar, daher ist ihre thermische Ausdehnung in Abb. 4.15 nicht berücksichtigt. Allerdings weisen die organischen Isolatoren eine sehr viel höhere Durchschlagsfestigkeit auf (s. dazu An-

Tab. 4.3 Standarddicken von Isolatoren und die daraus hervorgehenden Eigenschaften

Material	Standarddicke [μm]	Wärmeleitung [W/Kcm²]	Kapazität pro Fläche [pF/cm²]	Dielektrischer, Durchbruch [kV]
Al ₂ O ₃	381	6,3	22,8	5,7
AlN	635	28,3	12,5	12,7
Si ₃ N ₄	635	11,0	12,8	8,9
BeO	635	39,4	11,8	6,4
Epoxyd	120	2,5	52,4	7,2
Polyimid	25	1,5	138,1	7,3

Tab. 4.4 Transformation zwischen elektrischen und thermodynamischen Größen

Elektrisch	Thermodynamisch
Spannung U [V]	Temperaturdifferenz ΔT [K]
Strom I [A]	Wärmestrom P [W]
Ladung Q [C]	Thermische Energie Q_{th} [J]
Widerstand R [Ω]	Wärmewiderstand R_{th} [K/W]
Kapazität C [F]	Thermische Kapazität C_{th} [J/K]

hang, Tab. A4) und können darum in sehr viel dünneren Schichten eingesetzt werden. Bei den Herstellern der Substrate für die Aufbau- und Verbindungstechnik haben sich Standards durchgesetzt, die in Tab. 4.3 zusammengefasst sind. So wird für eine vergleichbare Durchbruchfestigkeit ein Isolator aus Polyimid um den Faktor 10 dünner gemacht.

Trotz der sehr viel geringeren Schichtdicke weisen die Substrate mit organischen Isolatoren eine schlechtere Wärmeleitung auf als die Substrate mit keramischen Isolatoren. Zusätzlich verursacht die geringe Schichtdicke eine wesentlich größere Kapazität, die sich als parasitäre Kapazität für das elektrische Verhalten nachteilig auswirkt.

Vergleicht man die Gesamteigenschaften der Isolatoren und sieht von dem aufgrund der toxischen Eigenschaften nicht verwendbaren BeO ab, so stellt sich AlN als die beste Wahl für einen Isolator für Leistungsbaulemente dar. Es weist die beste Wärmeleitfähigkeit auf, und wenn bei Modulen im Spannungsbereich >3 kV hohe Isolationsspannungen gefordert werden, ist AlN aufgrund der hohen Durchbruchfestigkeit unverzichtbar. In einer industriellen Fertigung von Modulen stellt AlN aber aufgrund seiner spröderen Eigenschaften und größeren Bruchgefahr auch höhere Anforderungen.

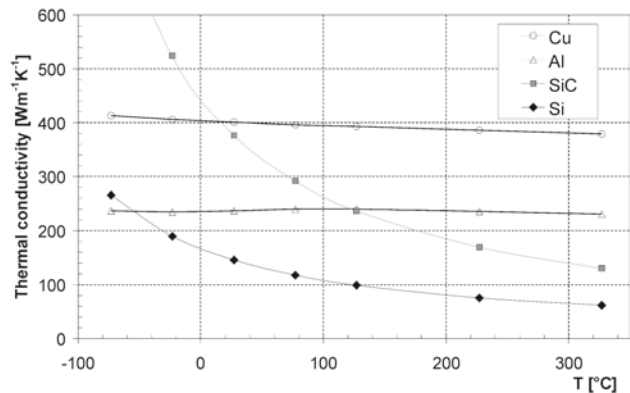
4.4 Thermisches Ersatzschaltbild und thermische Simulation

4.4.1 Transformation zwischen thermodynamischen und elektrischen Größen

Die physikalischen Differentialgleichungen, die die Wärmeleitung beschreiben, haben die gleiche Form wie die Gleichungen zur Beschreibung der elektrischen Leistung. Daher kann man durch einen Austausch der korrespondierenden Größen ein thermische Problem als ein elektrisches Problem auffassen und umgekehrt. Da für die Simulation elektrischer Schaltungen heute viele Programme verfügbar sind, behandelt man thermische Probleme häufig im elektrischen Ersatzschaltbild.

Zur Beschreibung des thermischen Verhaltens erfolgt die Übertragung der thermodynamischen in elektrische Größen. Das damit erstellte Netzwerk wird berechnet, wobei heute auf ausgereifte Netzwerksimulatoren zugegriffen werden kann. Schließlich erfolgt die Rücktransformation der Ergebnisse in das thermische System. Die korrespondierenden Größen, die dem zugrunde liegen, sind in Tab. 4.4 zusammengefasst [Lap91].

Abb. 4.16 Temperaturabhängigkeit der Wärmeleitfähigkeit von Si, Al und Cu. Daten nach [EFU99] und [Fel09], Durchgezogene Linie für Si nach Gleichung (4.17)



Diese Analogie zwischen den Gleichungen für elektrische und thermische Leitungsvorgänge erlaubt die Übertragung von Methoden aus dem einen Gebiet auf das andere. Weiterhin kann man zur Simulation von thermischen Leitungsvorgängen innerhalb stoffschlüssig verbundener Schichtsysteme die sehr effizienten Algorithmen zur Berechnung der Eigenschaften elektrischer Netzwerke nutzen.

Mit diesen Analogien kann der Wärmewiderstand R_{th} definiert werden

$$R_{th(a-b)} = \frac{T_a - T_b}{P_v} = \frac{\Delta T}{P_v} \quad (4.4)$$

Dabei gibt es jedoch einige physikalische Besonderheiten, die mit diesen Vereinfachungen nicht berücksichtigt werden.

Im elektrischen Kreis wurde der ohmsche Widerstand dadurch definiert, dass er eine von der Spannung unabhängige Größe ist. Bei Übertragung auf den Wärmewiderstand trifft dies strenggenommen nicht mehr zu. Der Wärmewiderstand ist temperaturabhängig [Scn06].

Die Temperaturabhängigkeit der spezifischen Wärmeleitfähigkeit von Silizium, SiC, Aluminium und Kupfer nach [eFu99] zeigt Abb. 4.16. Für Si kann sie zwischen -75°C und $+325^\circ\text{C}$ in Anlehnung an [Poe04] angenähert werden durch die Beziehung

$$\lambda = 24 + 1,87 \cdot 10^6 \cdot T^{-1,69} [W/mK] \quad (4.5)$$

Zur Gültigkeit von (4.4) müsste λ eine temperaturunabhängige Konstante sein. Dies ist für Al, Cu und andere Materialien im Bereich zwischen -50°C und $+150^\circ\text{C}$ annähernd der Fall. Der Wärmewiderstand von Si stellt in den meisten Fällen nur 2–5 % des gesamten Wärmewiderstands, so dass eine Vernachlässigung seiner Temperaturabhängigkeit zu meist zulässig ist. Darüber hinaus ist es in Simulatoren auch möglich, einen spannungsabhängigen Widerstand in Analogie zu einem temperaturabhängigen Wärmewiderstand einzugeben.

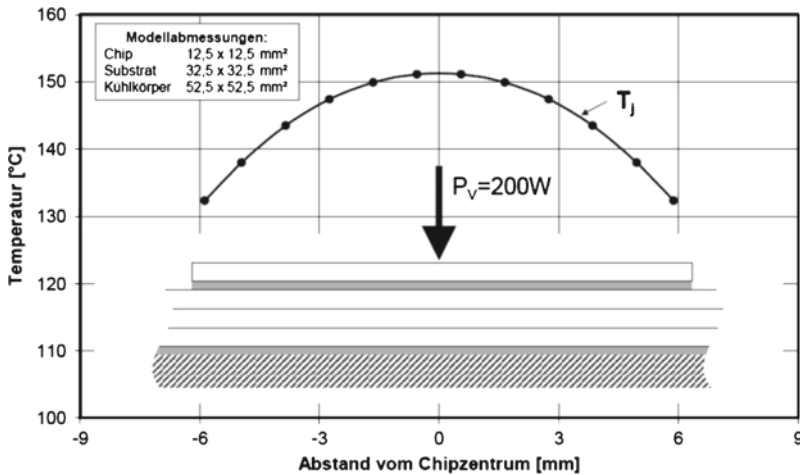


Abb. 4.17 Berechnete Temperaturverteilung in einem IGBT-Chip. Schichtfolge nach Abb. 4.13. Bild aus [Scn06]

Die zweite Problematik betrifft die Behandlung der Temperaturen. Als Bezugspunkte dienen die Umgebungstemperatur T_a , die Kühlkörpertemperatur T_h (h: heatsink), in einigen Fällen auch die Temperatur der Gehäuse-Grundplatte T_c , sowie die virtuelle Sperrschichttemperatur T_{vj} . Dabei kann sowohl bei T_h und insbesondere auch bei T_c von keiner gleichmäßigen Temperatur im ganzen Kühlkörper bzw. über die gesamte Grundplatte ausgegangen werden.

Insbesondere gilt diese Problematik für T_{vj} . Da eine Messung in einem gehäuteten Bauelement nicht möglich ist, wird T_{vj} indirekt aus elektrischen Messungen ermittelt. Bereits in Kap. 2.2 wurde die Durchlass-Spannung eines pn-Übergangs bei kleinen Strömen als Parameter zur Temperaturermittlung vorgestellt. Hat man diese Abhängigkeit für ein Bauelement wie in Abb. 2.75 kalibriert, so ergibt sich eine messtechnisch einfache Methode zur Temperaturbestimmung. Diese ist anwendbar bei Dioden und IGBTs. Bei Thyristoren kann man den pn-Übergang zwischen Gate und Kathode verwenden und bei MOSFETs kann die inverse Diode zur Ermittlung von T_{vj} benutzt werden.

Allerdings wird in der Realität keine gleichmäßige Temperatur zumindest über die Fläche eines größeren Chips vorliegen, denn aufbaubedingt hat der Bereich des Rands des Chips, wie aus den Abb. 4.12 und 4.13 hervorgeht, günstigere Bedingungen: Der Wärmestrom kann nicht nur senkrecht nach unten, sondern auch im Substrat zur Seite fließen (Wärmespreizung). Eine Berechnung des Einflusses zeigt Abb. 4.3. In diesem Bild wird in einem IGBT Chip der Größe $12,5 \times 12,5 \text{ mm}^2$ eine Verlustleistung von 200 W erzeugt. Aus der Berechnung der Temperaturverteilung ergibt sich, dass die Temperatur am Rand um etwa 20 °C geringer ist als in der Mitte des Chips Abb. 4.17.

Eine Messung mittels eines in [Ham98] vorgestellten Messverfahrens, in dem die Temperatur mittels eines Messfühlers ermittelt wird, auf dem eine Phosphoreszenzstrahlung

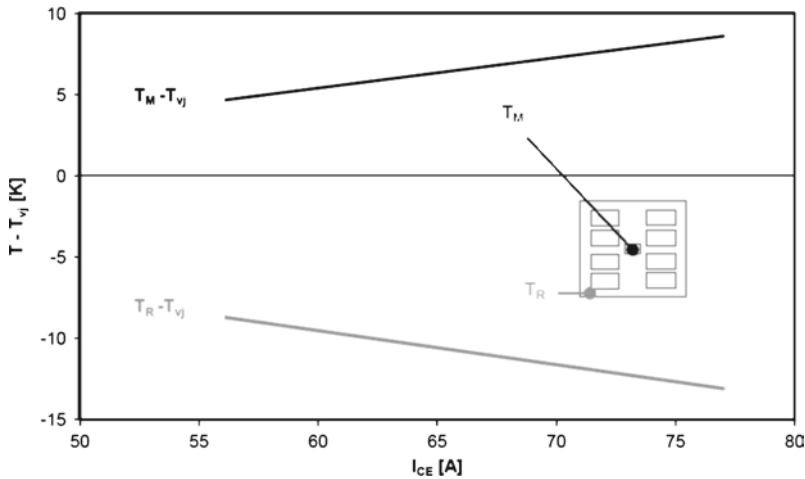


Abb. 4.18 Vergleich der Oberflächentemperatur eines Chips mit der virtuellen Sperrschichttemperatur T_{vj} nach [Ham98]

mit einem Laser angeregt wird, zeigt Abb. 4.18. Die mittels des Mess-Sensors ermittelte Temperatur ist mit der aus der Durchlass-Spannung bei 100 mA ermittelten Temperatur T_{vj} verglichen. Es ergibt sich bei oberer Strombelastung ebenfalls eine Abweichung zwischen Rand und Mitte von etwa 20 °C. Aus diesem Bild geht hervor, dass mit T_{vj} eine Mittlung der Temperaturen über die Fläche des Chips erfolgt, wobei das wärmere Chipzentrum stärker gewichtet wird.

Die Ursache für diese stärkere Gewichtung der heißen Chipmitte liegt in Temperaturabhängigkeit der Durchlass-Spannung des hier eingehenden rückseitigen pn-Übergangs des IGBT (Übergang J1, s. Abb. 3.118) bei kleinen Strömen begründet. Selbst wenn bei Nennstrom der Temperaturkoeffizient des IGBT positiv ist, wird bei kleinen Strömen die Temperaturabhängigkeit durch die Physik des pn-Übergangs bestimmt, und die Durchlass-Spannung ist in wärmeren Zonen niedriger. Dadurch wird der Stromtransport vor allem von den heißeren Chipgebieten übernommen und es kommt zu einer höheren Gewichtung der Bereiche mit höherer Temperatur. Dieses Verhalten ist wünschenswert, da der Wärmewiderstand meist als Abschätzung der maximalen Grenzschnitttemperatur herangezogen wird und eine stärkere Gewichtung der Gebiete mit höherer Temperatur den Fehler verringert. Dennoch muss man bedenken, dass gerade in Chips größerer Fläche die im Zentrum auftretenden maximalen Temperaturen deutlich höher sein können, als der gemittelte Wert der virtuelle Grenzschnitttemperatur angibt.

Ebenfalls nicht trivial ist die messtechnische Bestimmung der Referenzpunkte T_c und T_h . Bei einem Modul mit Grundplatte wird zur Bestimmung des häufig verwendeten Referenzpunkts T_c eine Bohrung im Kühlkörper angebracht, diese wird zentral unter der Stelle des die Verlustleistung erzeugenden Halbleiterbauelements angebracht, wie in Abb. 4.19 gezeigt. Dies setzt die Kenntnis der Lage der Chips im Modul voraus. Die angebrachte

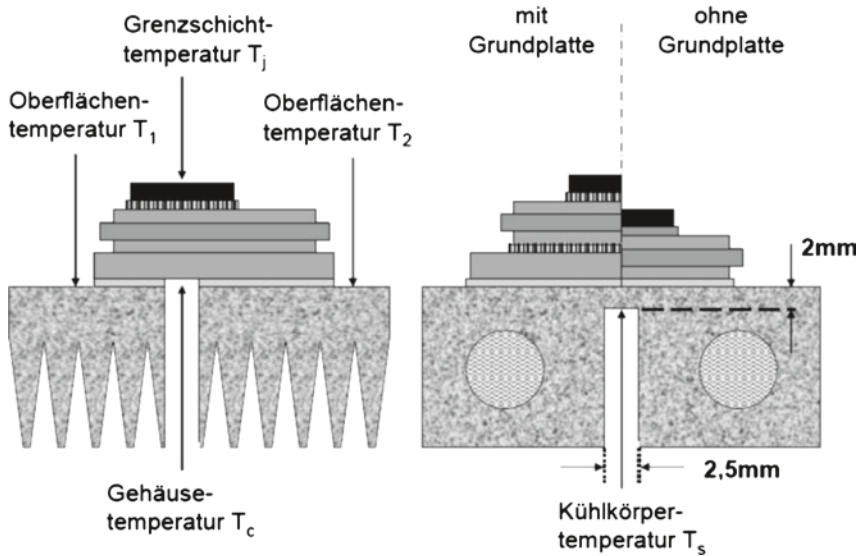


Abb. 4.19 Bestimmung der Gehäusetemperatur T_c und der Kühlkörpertemperatur T_h

Bohrung stört den Wärmefluss gerade an der Stelle der Messung. Allerdings ist durch die Wärmespreizung in Modulen mit Grundplatte der Messfehler $\leq 5\%$.

Bei Modulen ohne Grundplatte ist durch die fehlende Spreizwirkung der Grundplatte bei Anbringen dieser Bohrung die Kühlbedingung an dieser Stelle erheblich beeinträchtigt. Daher wird in [Hec01] vorgeschlagen, die Bohrung im Kühlkörper nur bis 2 mm unter der Kühlkörperoberseite zu führen. Dieses Verfahren hat den Vorteil, dass die thermische Grenzfläche zwischen Modul und Kühlkörper im Messwert enthalten ist. Es ist für alle Bauformen anwendbar. Der so definierte Referenzpunkt wird Kühlkörpertemperatur oder „heat sink temperature“ T_h genannt.

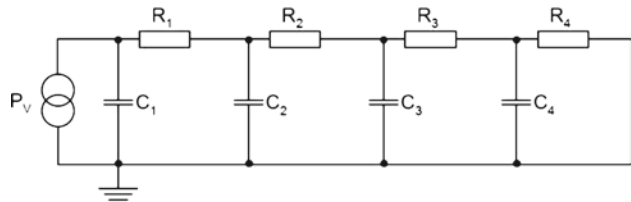
Aus diesen Betrachtungen geht hervor, dass bei den thermischen Verhältnissen weder die Berechnung noch die Messung trivial sind und es einer Fülle Überlegungen bedarf, um jeweils das richtige Modell zu wählen und die Berechnung zu interpretieren. Auch ist die jeweilige Messung kritisch zu betrachten. Nur bei umsichtiger Anwendung ist die thermische Simulation ein sehr effektives Werkzeug.

4.4.2 Eindimensionale Ersatzschaltbilder

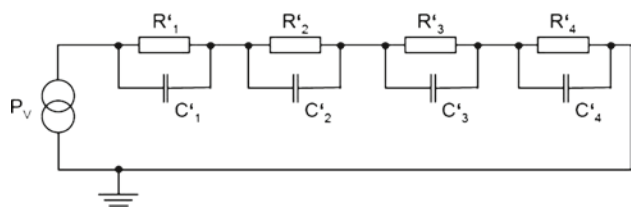
Im eindimensionalen Ersatzschaltbild wird die Wärmeeinspeisung P_v durch eine Stromquelle dargestellt, die über ein Netzwerk aus den Wärmekapazitäten C_{th} und den Widerständen R_{th} mit dem durch die Masse dargestellten Bezugspunkt (Umgebungstemperatur) verbunden ist [Jae01]. Beim sogenannten Leitungs-Ersatzschaltbild (Cauer-Modell) sind die Kapazitäten zwischen den Knotenpunkten und dem Bezugspotential eingefügt.

Abb. 4.20 Eindimensionale thermische Ersatzschaltbilder

Leitungs-Ersatzschaltbild (Cauer-Modell), physikalisch korrekt



Partialbruch-Netzwerk (Foster-Modell), Datenblattparameter



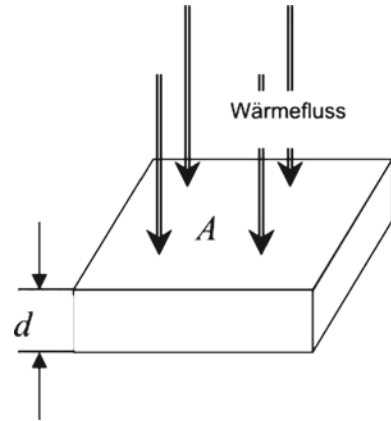
Wird nun eine Verlustleistung eingeprägt, so steigt die Temperatur an den Knoten und es wird eine Wärmeenergie in den thermischen Kapazitäten gespeichert. Die gespeicherte Energie ist proportional der Temperaturdifferenz zum Zustand vor der Einprägung einer Verlustleistung, daher ist das Leitungs-Ersatzschaltbild in Abb. 4.20 das physikalisch richtige Modell.

Im Partialbruch-Netzwerk (Foster-Modell) sind dagegen die Kapazitäten parallel zu den thermischen Widerständen geschaltet. Während im Leitungs-Ersatzschaltbild die Knoten geometrischen Orten zuzuordnen und die Widerstände und Kapazitäten aus den Materialparametern zu berechnen sind, ist dies beim Partialbruch-Netzwerk nicht möglich. Das erkennt man bereits an der Vertauschbarkeit von zusammengehörigen Paaren aus Widerstand und Kapazität. Im Partialbruch-Netzwerk lässt sich die Anordnung der Paare beliebig vertauschen, ohne dass sich das dynamische Verhalten des Gesamtsystems ändert. Im Leitungs-Ersatzschaltbild ist dies nicht möglich. Obwohl diese Überlegungen alle für die Verwendung des Leitungs-Ersatzschaltbildes sprechen, erlaubt das Partialbruch-Netzwerk die verhältnismäßig einfache Berechnung der Temperaturänderung aufgrund zeitlich veränderlicher Verlustleistungen, hier gilt für die thermische Impedanz Z_{th}

$$Z_{th} = R_{th}(t) = \sum_{v=1}^n R_{thv} \cdot \left[1 - \exp\left(-\frac{t}{\tau_v}\right) \right] \quad \text{mit} \quad \tau_v = R_{thv} \cdot C_{thv} \quad (4.6)$$

dabei können R_{thv} und C_{thv} bei einfachen Modellen aus der logarithmischen Auftragung gemessenen Abkühl- oder Aufheizkurven näherungsweise entnommen werden. In Datenblättern finden sich vielfach Angaben zu Parametern nach dem Partialbruch-Netzwerk. Diese Angaben sind für die thermische Auslegung nützlich. Allerdings ist zu beachten, dass die hier enthaltenen Knoten keine physikalische Zuordnung zu der Geometrie des Aufbaus aufweisen.

Abb. 4.21 Bestimmung von R_{th} und C_{th} aus Geometrie und Materialparametern



Im Leitungs-Ersatzschaltbild (Cauer-Modell) können die einzelnen Wärmewiderstand R_{thv} und Wärmekapazität C_{thv} aus physikalischen Materialkonstanten abgeleitet werden:

$$R_{th} = \frac{1}{\lambda} \cdot \frac{d}{A} \quad (4.7)$$

$$C_{th} = c \cdot \rho \cdot d \cdot A \quad (4.8)$$

mit d =Dicke Schicht, A =Fläche, λ =spezifische Wärmeleitfähigkeit, c =spezifische Wärmekapazität, ρ =spezifische Dichte.

Damit ist eine Modellierung aus Geometrie und Materialdaten des behandelten Systems möglich.

4.4.3 Dreidimensionales Netzwerk

Die Geometrien innerhalb von Leistungsmodulen sind komplex, die verschiedenen Schichten haben unterschiedliche Abmessungen (s. dazu Abschn. 4.2, insbesondere die Abb. 4.12 und 4.13). Die Cu-Schichten weisen einen niedrigen spezifischen Wärmewiderstand auf und erweitern oberhalb von Schichten mit hohem Wärmewiderstand (Keramik, Wärmeleitpaste) die wärmeführende Fläche. Die Struktur kann nun aufgeteilt werden in ein Gitter aus einzelnen Quadern (Abb. 4.22), die untereinander durch Widerstände verbunden sind.

In Abb. 4.22 liegen die Knotenpunkte des Netzwerks jeweils im Mittelpunkt der Quader. Die Widerstände zum benachbarten Quader werden jeweils anteilig vom Material des jeweiligen Quaders bestimmt, bei einem Material-Übergang besteht der Widerstand also jeweils aus beiden Materialien und wird aus beiden Komponenten zusammengesetzt.

Abbildung 4.22 zeigt gleichzeitig, obwohl nur 2 Schichten berücksichtigt sind, dass das Netzwerk bereits komplex wird. Es sind bereits 34 Knoten und 36 Widerstände entstan-

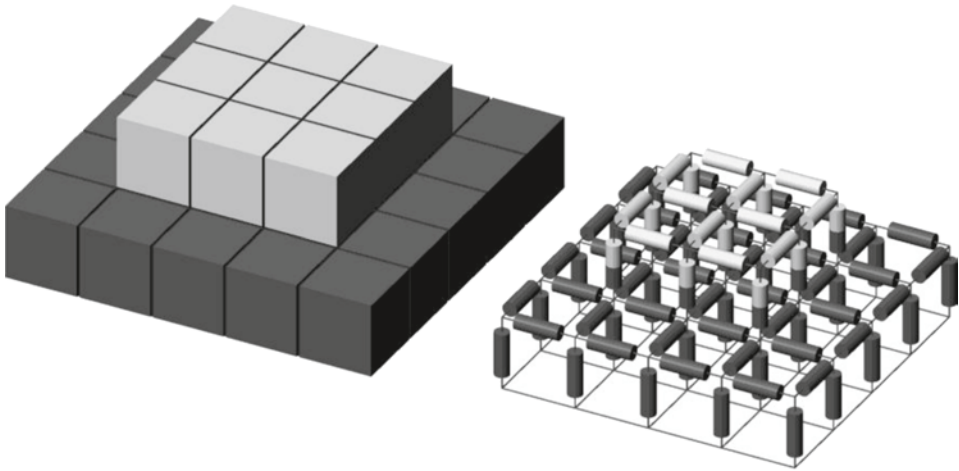
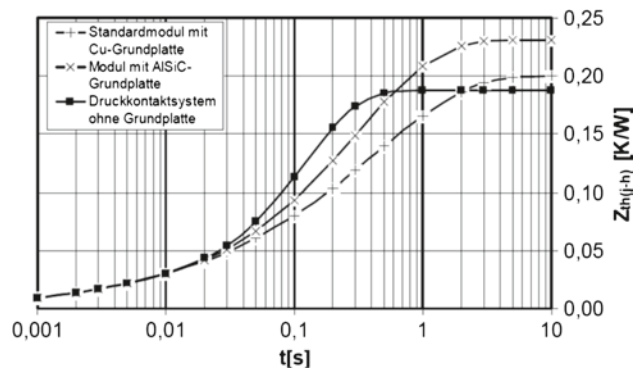


Abb. 4.22 Rechengitter für eine einfache Struktur und Ersatzschaltbild für den thermischen Widerstand, nach [Scn06]

Abb. 4.23 Modellrechnung des transienten thermischen Widerstands für Systeme mit AlN-Substraten im Vergleich. Nach [Scn99]



den. Dabei wären noch zusätzlich die Wärmekapazitäten nach dem Cauer-Modell zu berücksichtigen. Es versteht sich, dass bei dieser Komplexität die Verhältnisse nur noch mit einem leistungsfähigen Netzwerksimulator zu berechnen sind. Die Simulation ergibt aber Auskunft über die Temperatur in Schichten, die der Messung nicht zugänglich sind. Wie bereits diskutiert, sind auch Messungen der Temperatur nicht trivial [Hec01] und die Simulation erweist sich oft als zuverlässiger als die einzelne Messung.

4.4.4 Der transiente thermische Widerstand

Der mit einem 3-dimensionalen Modell berechnete Verlauf des transienten, zeitabhängigen thermischen Widerstands Z_{th} (thermische Impedanz) wird in Abb. 4.23 gezeigt.

Verglichen sind jeweils AlN-basierte Module, dabei zwei Aufbauten mit Grundplatte nach Abb. 4.12 mit den Schichtdicken in Tab. 4.1 und ein Modul ohne Grundplatte nach Abb. 4.13 mit den Schichtdicken in Tab. 4.2.

Für sehr kleine Pulsdauern $< 0,005$ s ist die thermische Impedanz klein und unterscheidet sich nicht für die verschiedenen Aufbauten, die Wärme wird fast ausschließlich von der Wärmekapazität des Silizium-Chips aufgenommen. Für große Zeiten strebt die thermische Impedanz zu ihrem Grenzwert für den stationären Fall, dem stationären thermischen Widerstand R_{th} . In diesem Fall ist zu sehen, dass der Wärmewiderstand des Moduls ohne Grundplatte etwas niedriger ausfällt als der des Moduls mit Cu-Grundplatte, aufgrund des fehlenden Wärmewiderstands der Grundplatte. Bei dem Modul mit AlSiC Grundplatte ist der Wärmewiderstand deutlich höher auf Grund der schlechteren Wärmeleitfähigkeit von AlSiC. Dieser verschlechterte stationäre Wert für AlSiC verschiebt die Z_{th} -Kurve auch für mittlere Pluslängen von 0,05 bis 0,5 s nach oben. Allerdings ist in diesem Bereich Z_{th} beim System ohne Grundplatte am höchsten, hier wirkt sich der fehlende Wärmespeicher der Grundplatte aus. Somit enthält das System ohne Grundplatte weniger Reserven für kurzzeitige Überlastfälle.

4.5 Parasitäre elektrische Elemente in Leistungsmodulen

In jedem Leistungsmodul finden sich durch interne Leitungen parasitäre Widerstände und Induktivitäten sowie durch die dielektrischen Schichten verursachte parasitäre Kapazitäten. Insbesondere bei schnellen Schaltvorgängen ist deren Einfluss nicht zu vernachlässigen.

4.5.1 Parasitäre Widerstände

Bereits in Abschn. 4.2 wurde der signifikante Beitrag der äußeren und inneren Zuleitungen zum auftretenden Spannungsabfall bei diskret aufgebauten Bauelementen behandelt. Abbildung 4.24 zeigt am Beispiel des Herstellers IR die Entwicklung der Gehäusetypen, Tab. 4.5 gibt die dafür charakteristischen Parameter an.

Das Ersetzen der Bonddrähte durch einen Kupferstreifen beim Übergang vom SO-8 zum Copperstrap (Kupferstreifen)-Gehäuse reduziert den inneren Widerstand und die parasitäre Induktivität. Da bei einem typischen 40 V MOSFET der Widerstand R_{on} durch Fortschritte in der Chip-Technologie bereits im Bereich von 1 m Ω angekommen ist, wurden diese Arbeiten unbedingt erforderlich. Beim Übergang zum PowerPak Gehäuse wird Epoxydharz durch eine fast die gesamte Grundfläche ersetzende Cu-Grundplatte ersetzt, die gleichzeitig den Drain-Kontakt darstellt. Den größten Fortschritt ergibt das Direct-FET-Gehäuse, bei dem nahezu alle parasitären Komponenten minimiert wurden.

Auch bei Modulen sind die parasitären Widerstände beträchtlich. Der Hersteller Infineon gibt inzwischen in seinen Datenblättern den durch das Modul verursachten Wider-

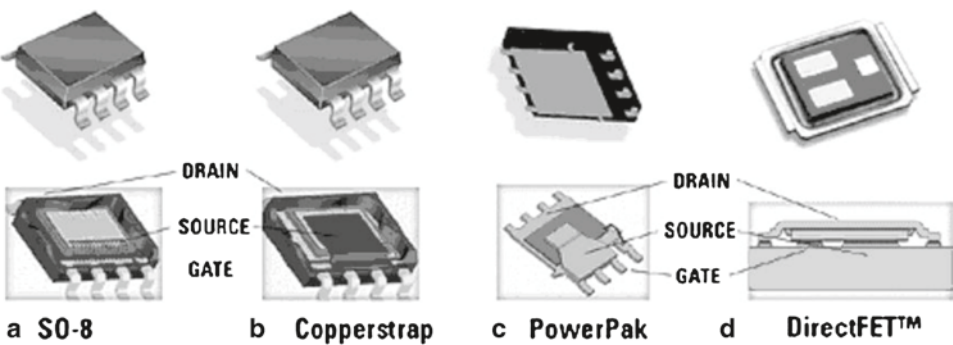


Abb. 4.24 Optimierung von diskreten Gehäusen zur Reduzierung parasitären Widerstände und Induktivitäten, sowie des Wärmewiderstands. Nach [Zhg04]

Tab. 4.5 Parameter parasitärer Komponenten der Gehäuse in Abb. 4.24. Nach [Zhg04]

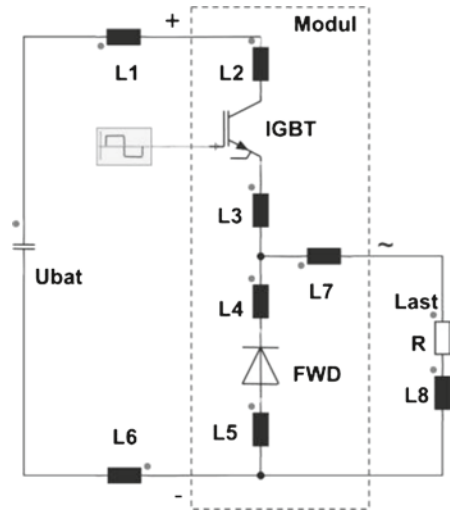
Bauform	Widerstand des Gehäuses (mΩ)	Induktivität des Gehäuses (nH)	R _{th} Junction-PCB (K/W)	R _{th} Junction-Case Oberseite (K/W)
SO-8	1,6	1,5	11	18
Copperstrap	1	0,8	10	15
PowerPak	0,8	0,8	3	10
DirectFET	0,15	<0,1	1	1,4

stand an. Für das Hochleistungsmodul FZ3600R12KE3 – ein 1200 V 3600 A IGBT-Modul – werden 0,12 mΩ spezifiziert [INF01]. Beim Nennstrom von 3600 A errechnet sich damit für das Gehäuse ein Spannungsabfall von 0,43 V. Der Spannungsabfall der IGBTs bei diesem Strom beträgt typisch $U_{CEsat} = 1,7$ V. Damit verursacht das Gehäuse bereits etwa 20 % des gesamten Spannungsabfalls. Auch für andere Module mit hoher Stromtragfähigkeit errechnen sich vergleichbare Werte.

Würden in diesem Modul die 36 IGBT-Chips, die jeweils auf 100 A spezifiziert sind, durch 75 V 100 A MOSFETs ersetzt, die einen R_{on} von typ. 4,9 mΩ aufweisen, so wäre der Spannungsabfall über den MOSFETs und dem Gehäuse etwa gleich groß. Erschwerend kommt hinzu, dass es sehr schwierig ist, die Zuleitungen in einem Modul symmetrisch zu führen, d. h. eine Vielzahl von Chips so anzuordnen, dass die Widerstände ihrer Zuleitungen gleich groß sind. Der Einfluss von Unsymmetrien im Aufbau auf unterschiedliche Stromaufteilung wird umso gravierender, je geringer die über jedem einzelnen Halbleiterchip abfallende Spannung ist.

Dieser Vergleich zeigt, dass es eine besonders anspruchsvolle Aufgabe ist, für Anwendungen bei niedriger Spannung und hohem Strom geeignete Bauformen in Modulen zu finden. Noch gravierender wirkt sich aber hierbei die Problematik interner Induktivitäten aus.

Abb. 4.25 Parasitäre Induktivitäten in einem Kommutierungskreis



4.5.2 Parasitäre Induktivitäten

Jede Zuleitung stellt gleichzeitig eine Induktivität dar. Als Faustregel für die Abschätzung der Größenordnung kann dienen

$$L_{par} \approx 10 \text{ nH/cm} \quad (4.9)$$

eine Regel, die oft zur Abschätzung von Leitungsinduktivitäten benutzt wird. Durch parallele Führung der plus- und der Minus-Zuleitung kann die Induktivität gesenkt werden, dies wird in einigen Modulen so weit als möglich gemacht. Typische Modulinduktivitäten liegen bei Modulen älterer Bauart im Bereich 50 nH, bei modernen Modulen im Bereich 10–20 nH.

Abb. 4.25 enthält die elektrischen Komponenten, die in den Kommutierungskreis eingehen:

- L1 und L6 repräsentieren die Induktivität der Zwischenkreiskondensatoren sowie die Induktivitäten der Zuleitungen
- L2 stellt die Induktivität des Plus-Anschlussstücks, der Zuleitungen auf dem Substrat bis zum auf der Kollektorseite aufgelöteten IGBT-Chip dar.
- L3 wird durch die Bonddrähte auf dem Emitter des IGBT sowie durch die Substrat-Leiterbahnen zum Wechselanschluss verwirklicht.
- L4 stellt die Induktivität der Zuleitung vom Wechselanschluss zur kathodeseitig aufgelöteten Freilaufdiode dar.
- L5 besteht aus den anodenseitigen Bonddrähten, der Zuleitung auf dem Substrat sowie dem Minus-Anschlussstück.

- L8 repräsentiert in dieser Anordnung die Induktivität der Last, die für die Kommutierung als Stromquelle wirkt. Ihre Induktivität sowie die in Reihe zu ihr liegende Induktivität des Wechselanschlusses L7 gehen nicht in den Kommutierungskreis ein. Die wirksamen parasitären Induktivitäten sind alle in Reihe geschaltet, so dass sie zusammengefasst werden können zur parasitären Modulinduktivität L_{pm}

$$L_{pm} = L2 + L3 + L4 + L5 \quad (4.10)$$

sowie zur gesamten parasitären Induktivität L_{par}

$$L_{par} = L_{pm} + L1 + L6 \quad (4.11)$$

Die Auswirkung dieser parasitären Induktivität soll anhand zweier Beispiele abgeschätzt werden. Im ersten Fall sei ein Frequenzantrieb für einen Drehstrom-Motor betrachtet, ausgestattet mit 3 IGBT-Halbbrücken, die Bauelemente seien spezifiziert auf einen Nennstrom von 800 A bei einer Spannungsklasse von 1200 V. Die größte in der Anwendung auftretende Zwischenkreisspannung sei $U_{bat}=800$ V, die parasitäre Induktivität des verwendeten modernen Moduls betrage $L_{par}=20$ nH, die höchste Stromflanke sei bei der Kommutierung einer Diode $di_r/dt=5000$ A/ μ s. In Abschn. 3.1 wurde für diesen Fall die Gleichung (3.70) für den Spannungsverlauf angegeben

$$U(t) = -U_{bat} - L_{par} \cdot \frac{di_r}{dt} + U_{tr}(t)$$

Die induktive Spannungsspitze beträgt 100 V. Somit wäre maximal mit einer Spannungsspitze von 900 V zu rechnen, was sicher innerhalb der Spezifikation des Bauelements liegt. Darüber hinaus ist bei IGBTs typisch, dass die Spannung $U_{tr(t)}$ nicht abrupt abklingt, sondern nach dem Einschalten erst langsam ausklingt. $U_{tr(t)}$ hat ein der induktiv erzeugten Spannung entgegengesetztes Vorzeichen. In dem Fall wird in der Messung keine Spannungsspitze >800 V gefunden, ein Beispiel dafür gibt Abb. 3.20.

Im zweiten Beispiel sei ein Halbbrücken-Modul für den Starter-Generator bei einem anvisierten 42 V Bordnetz eines Autos betrachtet, jeder aus MOSFETs bestehende Schalter sei auf 700 A ausgelegt bei einer Spannungsklasse von 75 V. Wieder liege $L_{par}=20$ nH und $di_r/dt=5000$ A/ μ s vor. Die induzierte Spannung ist jetzt ebenfalls 100 V, und so müsste nach (3.70) mit einer Spannungsspitze von 142 V gerechnet werden. Bei MOSFETs klingt beim Einschalten die Spannung sehr abrupt ab, so dass $U_{tr}(t)$ vernachlässigt werden kann und die Spannungsspitze nicht reduziert wird. Mit 142 V wäre aber die für die Bauelemente spezifizierte Sperrspannung überschritten!

Damit sind wiederum gerade im Anwendungsbereich niedriger Spannungen und hoher Ströme die höchsten Anforderungen aufgetreten. Dazu kommt noch das Problem der Symmetrierung.

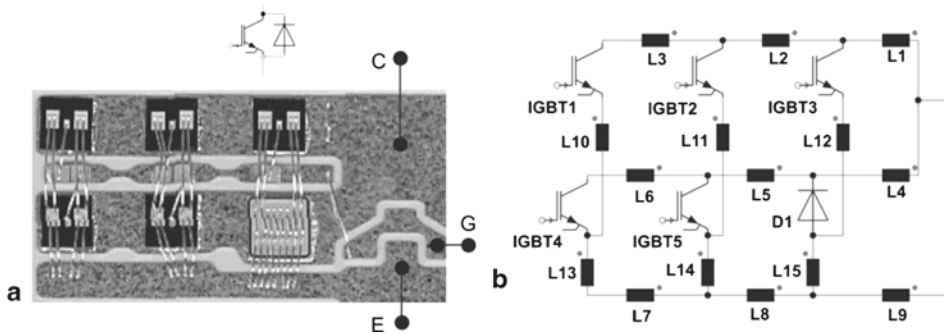


Abb. 4.26 a IGBT-Freilaufdioden-Einheit, realisiert durch 5 parallelgeschaltete IGBT-Chips und einen antiparallelen Diodenchip. b Ersatzschaltbild der Bauelemente und der von den Zuleitungen gebildeten parasitären Induktivitäten

Wiederum in einer Anwendung im 1200 V Bereich zeigt Abb. 4.26a das Beispiel einer Parallelschaltung von 5 IGBTs und einer dazugehörigen Freilaufdiode auf dem DCB-Substrat. Die Positionen der zugehörigen Anschlüsse sind symbolisiert. Das Ersatzschaltbild dieser Anordnung zeigt Abb. 4.26b. Die Zuleitungen auf dem Substrat werden durch die Induktivitäten L1 – L9, die Bonddrähte durch L10 – L15 dargestellt. Während sich im Kreis zum Chip IGBT3 4 parasitäre Einzelinduktivitäten in Reihe finden, finden sich zum Chip IGBT1 8 Induktivitäten in Reihe. Somit ist mit einem Unterschied in den parasitären Induktivitäten um den Faktor 2 zu rechnen. Bei Kommutierung wird sich die angelegte Stromflanke di/dt unterschiedlich auf die Chips aufteilen. Zusätzlich besteht die Gefahr von internen Schwingungen zwischen den Chips. Darauf wird in Kap. 6 noch eingegangen.

Eine symmetrische Anordnung in einem großflächigen Modul mit zahlreichen parallelgeschalteten Chips zu finden ist sehr schwierig, Abb. 4.26 ist noch eine der besseren Lösungen. Insbesondere sind die Aufbauten kritisch, in denen bei Parallelschaltung ein Zweig einen kurzen Weg hat, dazu parallel Chips mit langen Wegen angeordnet sind. Bei Messung der Induktivität dominiert die kleine Induktivität, ein kleiner Wert wird gemessen, während intern beträchtliche Wege bestehen.

Für kleine Spannungen und hohe Ströme wurden inzwischen Lösungen erarbeitet, die einen großen Fortschritt darstellen [Mou02]. Ein Beispiel zeigt Abb. 4.27.

Die Einzelzelle stellt eine Halbbrücke aus zwei MOSFETs dar, die Freilaufdioden sind jeweils die internen Dioden des MOSFET (Abb. 4.27a). Die Einzelzelle wurde durch numerische Simulation auf der Basis des Fast-Henry-Algorithmus [Kam93] optimiert, dabei wurde die dynamische Stromverteilung in der dreidimensionalen Anordnung unter Berücksichtigung von Skin-Effekt und Wirbelströmen berechnet. Die optimale Anordnung ergab eine Induktivität der Einzelzelle von 1,9 nH, durch symmetrische Parallelschaltung von 7 Einzelzellen und die Anordnung des Zwischenkreises unmittelbar über den Plus-Minus-Anschlüssen wurde eine Induktivität im Sub-nH Bereich erreicht. Dieses Modul

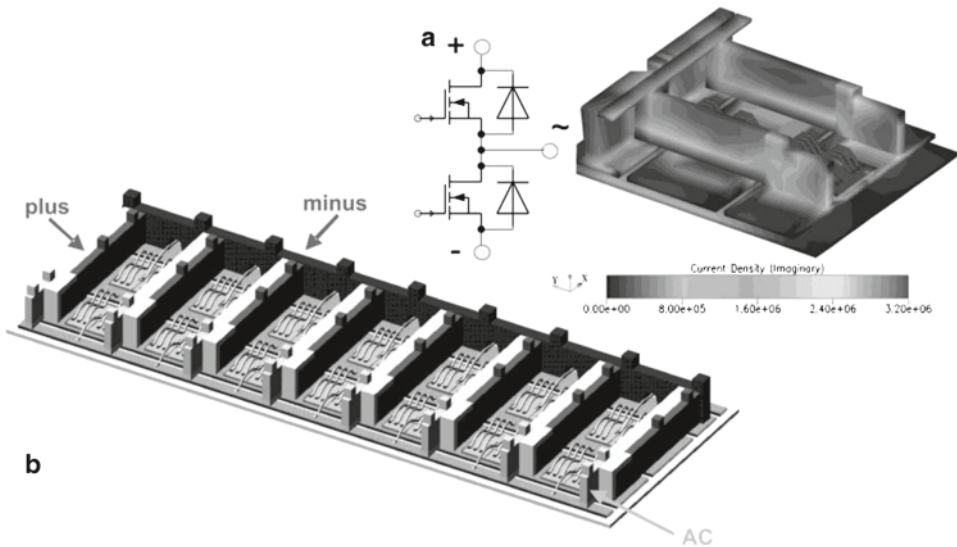
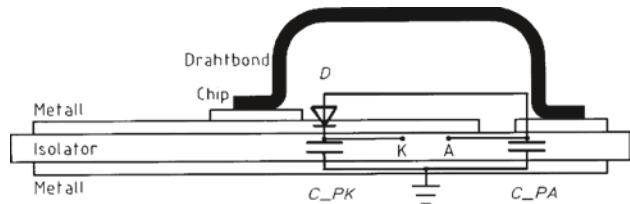


Abb. 4.27 Mit MOSFETs realisierte Halbbrücke. **a** Einzelzelle, parasitäre Induktivität simuliert zu 1,9 nH. **b** Symmetrische Parallelschaltung von 7 Einzelzellen zu einer 700 A Halbbrücke. Nach [Mou02]

Abb. 4.28 Parasitäre Kapazitäten eines auf Keramiksubstrat montierten Chips am Beispiel einer Diode. Nach [Lin02]



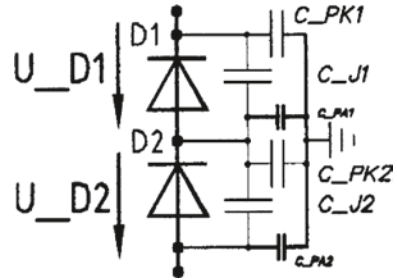
ist für Anwendungen in der oben beschriebenen Anwendung zur Steuerung eines Starter-Generators geeignet.

4.5.3 Parasitäre Kapazitäten

In der Umgebung eines auf ein keramisches Substrat montierten Chips (Abbildungen 4.12 und 4.13) finden sich parasitäre Kapazitäten.

In Abb. 4.28 liegt eine Reihenschaltung aus C_{PA} und C_{PK} parallel zur Sperrschichtkapazität C_j vor, diese bildet eine Koppelkapazität gegen das auf Masse-Potential liegende Gehäuse, und darüber besteht eine kapazitive Kopplung zu anderen Teilen der Schaltung. Die entstehende parasitäre Kapazität hängt nun von Dicke und Materialeigenschaften des Verwendeten Isolators ab. Die Daten dazu wurden in Abschn. 4.3, Tab. 4.3 angegeben.

Abb. 4.29 Parasitäre Kapazitäten bei Reihenschaltung zweier TO 220 Gehäuse.
Aus [Lin01]



Aufgrund ihrer schlechten Wärmeleitfähigkeit, aber gleichzeitig hohen Durchbruchfeldstärke werden Isolatoren aus Epoxyd und Polyimid sehr dünn gemacht. Das führt zu einer hohen Kapazität pro Fläche und schränkt den Einsatz solcher Komponenten (IMS-Substrate) für sehr schnell schaltende Bauelemente ein.

In einem isolierten TO 220 Gehäuse – Grundfläche der Metallisierung unter der Kathode des Chips 8 mm x 12,5 mm, Isolator Al_2O_3 der Dicke 0,63 mm, $\epsilon_r=9,8$ – errechnet sich die Kapazität unter der Kathode C_{pk}

$$C_{PK} = \epsilon_0 \cdot \epsilon_r \cdot \frac{A}{d} \quad (4.12)$$

Dies führt in dem Beispiel auf 14pF, bei einer dünneren Keramik von 0,38 mm Dicke auf 23 pF. Wird als Diode beispielsweise die GaAs Schottky-Diode DGS 10–018 A verwendet, so ist die (spannungsabhängige) Sperrschichtkapazität C_j (100 V) = 22 pF zu ermitteln [Lin02]. Von dieser Sperrschichtkapazität wird erwartet, dass sie die Schalteigenschaften bestimmt, aber die durch den Aufbau bedingte Kapazität liegt in derselben Größenordnung und ist keineswegs mehr zu vernachlässigen.

Im genannten Beispiel ist die Situation dadurch zu entschärfen, dass in der Reihenschaltung von C_{PK} und C_{PA} die in C_{PA} eingehende Fläche sehr viel kleiner gemacht wird. Für die gesamte parallel zur Sperrschicht liegende Kapazität C_{PG} gilt

$$C_{PG} = \frac{C_{pk} \cdot C_{pa}}{C_{pk} + C_{pa}} \quad (4.13)$$

Liegt C_{PA} bei 1/5 von C_{PK} , so ist damit die Gesamtkapazität C_G auf 1/6 reduziert. Diese günstige Situation liegt in Gehäusen der TO-Familie, einzeln betrachtet, im Allgemeinen vor.

Nun seien aber zur Erhöhung der Spannungsbelastbarkeit 2 Dioden in Reihe geschaltet. Der Aufbau entspräche jeweils dem in Abb. 4.28. Das Ersatzschaltbild dafür zeigt Abb. 4.29.

Über Diode D1 liegt C_{PK1} und dazu in Reihe die Parallelschaltung aus C_{PA1} und C_{PK2} . Mit zwei identischen Gehäusen ergibt sich die über D1 liegende Gesamtkapazität zu 6/11 bzw. 0,54 C_{PK1} .

Über Diode D2 liegt die kleinere Kapazität C_{PA2} und dazu in Reihe die Parallelschaltung aus C_{PK2} und C_{PA1} . Dafür ergibt sich die auf diese Diode entfallende Kapazität zu 0,17 C_{PK1} .

Somit bilden die parasitären Kapazitäten einen asymmetrischen kapazitiven Spannungsteiler. Von der Aufteilung der Spannung bei Schaltvorgängen wäre aber eine symme-

trische Aufteilung der Spannung notwendig. Dieses Beispiel soll zeigen, dass Situationen auftreten können, die auf den ersten Blick nicht erwartet werden.

Bei Verwendung nicht isolierter TO-Gehäuse werden diese vielfach mit Polyimid-Folien vom Kühlkörper isoliert. Auch dieser Übergang stellt eine parasitäre Kapazität dar, entsprechend Tab. 4.3 ist dann noch mit einer sehr viel größeren parasitären Kapazität zu rechnen.

Während in den genannten Beispielen die Verhältnisse noch mittels analytischer Betrachtung ermittelt werden können, erreichen Multichip-Aufbauten mit zahlreichen verschalteten Einzelchips, Leiterbahnen usw. eine hohe Komplexität und sind analytisch nicht mehr zu beschreiben.

Insbesondere liegen im Allgemeinen parasitäre Widerstände, Induktivitäten und parasitäre Kapazitäten und Sperrschichtkapazitäten gemeinsam vor. Es können Schwingkreise auftreten, die zu Oszillationen führen [Gut01]. Auf der Basis des genannten Fast-Henry Algorithmus ist eine Analyse und Optimierung von Systemen in dieser Beziehung heute möglich und auch für die Zuverlässigkeit leistungselektronischer Systeme dringend erforderlich.

4.6 Zuverlässigkeit

4.6.1 Anforderungen an die Zuverlässigkeit

An Leistungsbauelemente steht die Anforderung einer hohen Zuverlässigkeit. Zu ihrer Prüfung sind Tests vorgeschrieben, die in Tab. 4.6 am Beispiel des Herstellers Infineon zusammengefasst sind.

Jeder Halbleiterhersteller hat eigene Qualitätsstandards. Für moderne Bauelemente (MOS/IGBT Produkte in Tab. 4.6) sind diese jedoch weitestgehend einheitlich bei den verschiedenen internationalen Herstellern. Es ist ersichtlich, dass mit Einführung der modernen Bauelemente die Zuverlässigkeitsanforderungen verschärft wurden. So wird der Heißsperrdauertest jetzt bei 100 % der spezifizierten Sperrspannung durchgeführt, es werden 20 000 statt 10 000 Lastwechsel vorgeschrieben, usw.

Für die „alten“ Bauelemente (Thyristor/Diode Produkte in Tab. 4.6) können die gestellten Anforderungen von Hersteller zu Hersteller sehr verschieden sein. Zwar beziehen sich alle Tests auf Normen. Diese legen jedoch oft nur das Testverfahren fest und nicht die konkreten Bedingungen. Es empfiehlt sich bei diesen Bauelementen, bei der Auswahl des Herstellers die spezifizierte Zuverlässigkeit zu hinterfragen. Es ist auch möglich, dass Abstriche an der Zuverlässigkeit gemacht werden, um mit einer einfachen Technologie einen sehr niedrigen Marktpreis anbieten zu können. Daher sind gewisse Kenntnisse über die Testbedingungen und deren Auswirkungen für den Ingenieur, der Bauelemente und Hersteller auswählt, notwendig. Von leistungselektronischen Anlagen hängt in vielen Fällen die Sicherheit von Menschen ab, in diesen Fällen sollten keinesfalls Abstriche an der Zuverlässigkeit zugunsten niedrigerer Kosten gemacht werden.

Tab. 4.6 Zuverlässigkeits-Standards von Leistungsbauelementen am Beispiel des Herstellers Infineon

Typ	Bezeichnung	Bedingungen	Normen
HTRB	Heißsperrdauertest	MOS/IGBT: 1000 h, T_{vjmax}	IEC 60747-2/6 Kap. V
		$V_{CEmax} (\leq 2.0 \text{ kV}), 0.8 \cdot V_{CEmax}$	IEC 60747-9: 1998
		$(> 2.0 \text{ kV})$	
		Konv.: 1000 h, $T_j = 125 \text{ }^\circ\text{C}$, $V_{RM} = 0.9 \cdot V_{RRM}$, $V_{RM}/V_{DM} = 0.8 \cdot V_{RRM}/V_{DRM}$ ^a	
HTGS	Hochtemperatur-Gatestresstest	1000 h, $\pm V_{GEmax}$, $T_j = 125 \text{ }^\circ\text{C}$	IEC 60747-9: 1998
H3TRB	Feuchte Wärmelagerung unter Spannung	1000 h, 85 °C, 85 % RH	IEC 60749: 1996
		$V_{CE} = 0.8 \cdot V_{CEmax}$, aber max. 80 V, $V_{GE} = 0 \text{ V}$	
		$V_D, V_R = 0 \text{ V}$ ^a	
TST	Thermischer Schock	$T_{stgmin} - T_{stgmax}$, typ. -40 °C auf +125 °C, aber $\Delta T_{max} \leq 165 \text{ K}$ $t_{storage} \geq 1 \text{ h}$, $t_{change} \leq 30 \text{ s}$	IEC 60749: 1996
		Hochleistung (Standard): 20 Wechsel	
		Hochleistung (Traktion): 100 Wechsel	
		Mittlere Leistung: 50 Wechsel	
		Konv.: 25 Wechsel ^a	
TC	Temperaturwechsel	Externes Heizen und Kühlen	IEC 60747-2/6 Kap. IV
		$2 \text{ min} < t_{cycl} < 6 \text{ min}$; $\Delta T_C = 80 \text{ K}$	IEC 60747-9: 1998
		$T_{cmin} = 5 \text{ }^\circ\text{C}$	
		Hochleistung (Standard): 2 000 Wechsel	
		Mittlere Leistung: 5 000 Wechsel Konv.: 5000 Wechsel ^a	
PC	Lastwechsel	Internes Heizen und externes Kühlen	IEC 60747-9: 1998
		$0.5 < t_{cycl} < 10 \text{ s}$; $\Delta T_j = 60 \text{ K}$	
		$T_{jmax} = 125 \text{ }^\circ\text{C}$, 130 000 Wechsel	
RS	Temperaturbeständigkeit Gehäuse ^b	260 °C \pm 5 °C, Puls 10 s \pm 1 s	IEC 60749: 1996
S	Lötbarkeit ^b	235 °C \pm 5 °C, Alterung 3	IEC 60749: 1996
V	Vibration (optional)	Nach Standard, 50–200 Hz, 5 g	IEC 60749: 1996

^a konventionelle Bauelemente – Thyristoren, Dioden

^b wenn Weiterverarbeitung durch Löten vorgesehen

Einige der aufgeführten Tests, z. B. der Vibrationstest, sind für Leistungsbauelemente erst im eingebauten Zustand kritisch. Leistungsbauelemente selbst sind im Allgemeinen kompakt aufgebaut, diese Tests beziehen sich mehr auf die elektronischen Anlagen, die mechanisch schwingfähige Einzelteile haben können. Auf die wichtigsten Tests wird im Folgenden noch eingegangen. Insbesondere der Lastwechseltest legt die zu erwartende Lebensdauer in der Anwendung fest.

4.6.2 Heißsperrdauertest und Gate-Stress-Test

Heißsperrdauertest und Gate-Stress-Test testen die in den Leistungsbauelementen eingesetzten Halbleiter-Chips. Im Heißsperrdauertest wird das Bauelement entsprechend seiner Spannungs-kategorie mit Gleichspannung belastet und der maximal erlaubten Temperatur (Tab. 4.6) ausgesetzt. Im Volumen des Si-Chips können bei diesen Temperaturen im Allgemeinen noch keine Veränderungen entstehen. Dieser Test zielt darauf ab, Schwachstellen in der Randkontur und in der Passivierungsschicht aufzudecken.

Sind in der Passivierungsstruktur vom Herstellungsprozess bedingt Kontaminationen durch metallische und andere Ionen vorhanden, und besteht bei dieser Temperatur auch nur eine schwache Beweglichkeit der Ionen, so setzt eine Wanderung der Ionen im elektrischen Feld ein. An der Halbleiteroberfläche ist, auch bei durch geeignete Randkontur aufgeweitete Raumladungszonen, mit Feldern zwischen 100 kV/cm und 150 kV/cm zu rechnen. Bewegliche Ionen können sich zu Oberflächenladungen anreichern. Wo die niedrig dotierten Zonen an die Halbleiteroberfläche gelangen, können sich Inversionskanäle bilden, die den pn-Übergang kurzschließen. Auch wenn sie zunächst noch eine sehr niedrige Stromtragfähigkeit aufweisen mögen, machen sie sich im Anstieg des Sperrstroms bemerkbar.

Während der Testdauer von 1000 h wird der Sperrstrom überwacht. Kriterien für die Erfüllung des Tests sind

- kein signifikanter Anstieg des Sperrstroms während des Tests
- Nach Testende und Abkühlen des Bauelements wird der Sperrstrom bei Raumtemperatur nachgemessen, er darf gegenüber der Messung vor Beginn des Tests nur im Rahmen eines genau definierter Grenzwerts angestiegen sein.

Abbildung 4.30 zeigt ein Beispiel eines Heißsperrdauertests. Aufgetragen ist für acht im Test befindliche Bauelemente die Höhe des Sperrstroms über der Testdauer. Die Bauelemente in diesem Test sind zunächst stabil, aber nach 200 Stunden ein Anstieg des Sperrstroms bei einigen Bauelementen zu sehen. Nach ca. 920 Stunden wurde aufgrund des hohen Anstiegs des Sperrstroms einiger Bauelemente der Test abgebrochen, diese Bauelemente haben den Test nicht bestanden. Die angewandte Passivierung war für diese Bauelemente nicht geeignet.

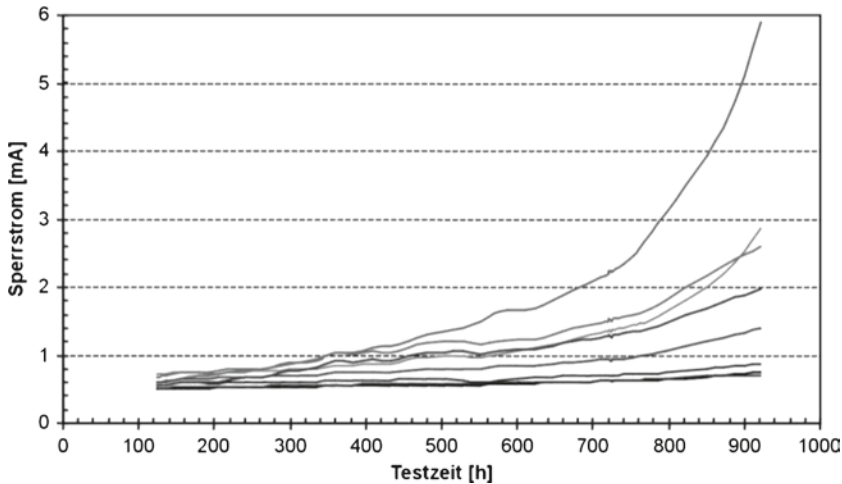


Abb. 4.30 Verlauf eines Heißsperrdauertests – Beispiel eines nicht bestandenen Tests

Vom Halbleiterhersteller wird ein Bauelement erst dann freigegeben, wenn die Prototypen den Heißsperrdauertest bestanden haben.

Zu diesem Test ist aber anzumerken, dass er gegenüber der typischen Anwendung sehr hohe Anforderungen stellt. In der Praxis liegen am Leistungsbauelement nur die Zwischenkreisspannung (typ. 50–67 % der spezifizierten Sperrspannung) an, nur kurzzeitige Spannungspulse sind höher. Und in kaum einer Anwendung liegt an einem MOSFET oder IGBT eine Gleichspannung an. Im Test wird das Bauelement höher belastet als in der Anwendung, allerdings ist der Test nach etwa 6 Wochen abgeschlossen, während Leistungsbaulemente in der Anwendung oft 20 Jahre und mehr im Betrieb sind.

Beim Gate-Stress-Test liegen zwar nur 20 V als Gleichspannung an, aber diese liegen über dem Gate-Oxyd mit einer Dicke im Bereich von 100 nm. Damit liegt eine Feldstärke im Bereich von 2 MV/cm über dem Gate an. Zum Bestehen dieser Anforderung muss das Oxyd fehlerfrei sein und darf nur eine sehr niedrige Dichte an Grenzflächenladungen aufweisen. Durchführung und Beurteilung des Gate-Stress-Tests erfolgen ähnlich wie beim Heißsperrdauertest.

4.6.3 Heißlagerung, Tieftemperaturlagerung

Diese Tests zielen vor allem auf die Beurteilung der Gehäuse ab. Kunststoffe dürfen sich bei der spezifizierten Temperatur auch bei langer Zeit nicht verformen und die Eigenschaften der Kapselung nicht verlieren.

Die Tieftemperaturlagerung zielt ebenfalls auf die Beurteilung der Langzeitbeständigkeit des Gehäuses ab. Dabei wird geprüft, ob die Elastizität der Kunststoffelemente, bei

Modulen insbesondere des Silicongels, auch bei tiefen Temperaturen noch erhalten bleiben, oder ob Spannungsrisse auftreten.

4.6.4 Sperrtest bei feuchter Wärme

Scheibengehäuse sind, sofern fehlerfrei montiert, hermetisch gegen die Umgebung abgeschlossen. Das gilt jedoch für die meisten Bauformen von Modulen nicht. Chips und Bonddrähte sind in ein Silicon-Gel eingebettet, das für Luftfeuchtigkeit durchlässig ist. Somit kann die Feuchtigkeit in der langen Zeit auch an die Passivierungsschicht gelangen. Daher zielt dieser Test auf das System ab und kann auch Schwachstellen in einer Passivierungsschicht aufdecken.

Bei modernen Bauelementen wie MOSFET und IGBT wird dieser Test darüber hinaus bei angelegter Sperrspannung betrieben. Um die Umgebung des Chips nicht durch die von Sperrströmen erzeugte Verlustleistung zu erwärmen und damit lokal die relative Feuchte zu reduzieren, wird die angelegte Spannung für hoch sperrende Bauelemente auf 80 V begrenzt, bei MOSFETs niedrigerer Sperrspannungsklasse auf 80 % der spezifizierten Sperrspannung.

4.6.5 Temperaturwechseltest

Beim Temperaturwechseltest werden die Bauelemente abwechselnd zwischen maximal zulässiger Lagertemperatur (diese kann kleiner als die maximale Sperrschichttemperatur sein) und minimal zulässiger Lagertemperatur bewegt. Zumeist wird ein Klimaschrank verwendet, der diese Temperaturzyklen durchfährt. Die Verweildauer auf der oberen und unteren Temperatur muss lange genug sein, damit das Bauelement bei den Ecktemperaturen ins thermische Gleichgewicht mit der Umgebungstemperatur gelangt. Eine Belastung mit Strom oder Spannung findet während dieses Tests in der Regel nicht statt.

Vor der Temperaturwechselprüfung und nachher werden elektrische und thermische Parameter (Sperrspannung, Durchlass-Spannung, Isolationsspannung) gemessen. Nach den Temperaturwechseln darf keine Veränderung der Parameter vorliegen, insbesondere muss die Isolationsfestigkeit voll intakt sein.

Der Temperaturwechseltest gibt Aufschluss über die Qualität der Verbindungen im Gehäuse. Liegen große Unterschiede im thermischen Ausdehnungskoeffizienten von miteinander verbunden Materialien vor, so können diese reißen, sofern die Spannungen nicht durch weichere Zwischenschichten abgebaut werden. Aber auch ungeeignete Materialien, z. B. Verbundwerkstoffe mit eingebauten Spannungen, können durch den Temperaturwechseltest aufgedeckt werden.

Einfache Bauformen wie die TO-Familie erreichen eine hohe Anzahl von Temperaturwechseln, für komplexer aufgebaute Module ist eine hohe Zahl von Temperaturwechsel eine Herausforderung.

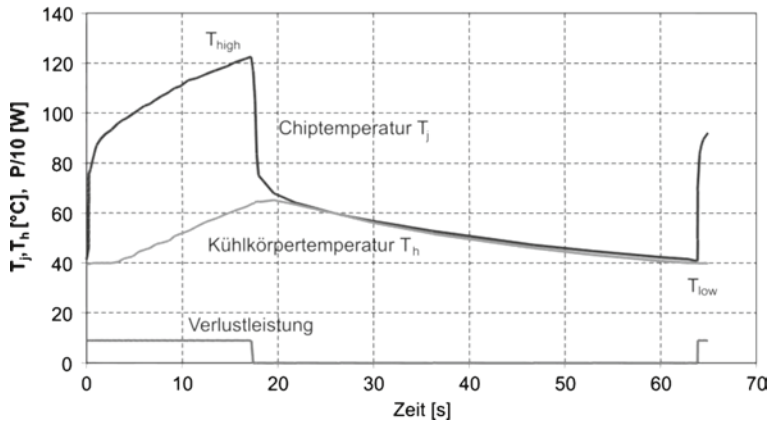


Abb. 4.31 Temperaturverlauf bei einem Lastwechseltest

4.6.6 Lastwechseltest

Während beim Temperaturwechseltest die Erwärmung des Bauelements passiv erfolgte, wird sie beim Lastwechseltest aktiv durch im Bauelement erzeugte Verlustleistung bei Belastung mit Strom eingepreßt. Dabei bilden sich im Gegensatz zum Temperaturwechsel, wo ein thermisches Gleichgewicht angestrebt wird, beim Lastwechsel erhebliche Temperaturgradienten im Bauteil aus.

Bei dieser Prüfung wird durch Stromfluss im verpackten Bauelement eine Verlustleistung freigesetzt und die Temperatur des Bauelements dadurch bis zu einer oberen Temperaturgrenze erhöht. In Abb. 4.31 ist der Temperaturverlauf bei einer Lastwechselprüfung wiedergegeben.

Geregelt wird über die Kühlkörpertemperatur, bei Erreichen des oberen Grenzwertes wird der eingespeiste Strom abgeschaltet und die Kühlung zugeschaltet. Die Temperatur sinkt. Ist am Kühlkörper eine untere Temperaturgrenze erreicht, wird der Strom wieder zugeschaltet. Der charakteristische Parameter für die Lastwechsel-Prüfung, der Temperaturhub ΔT_j besteht aus der Temperaturdifferenz zwischen der maximalen Sperrschichttemperatur T_j am Ende der Heizphase und der minimalen Sperrschichttemperatur am Ende der Kühlphase:

$$\Delta T_j = T_{high} - T_{low} \quad (4.14)$$

In Abb. 4.31 ist ΔT_j zu 82 °C abzulesen.

Ein weiterer charakteristischer Parameter für den Lastwechseltest ist die mittlere Temperatur T_m

$$T_m = \frac{T_{high} + T_{low}}{2} \quad (4.15)$$

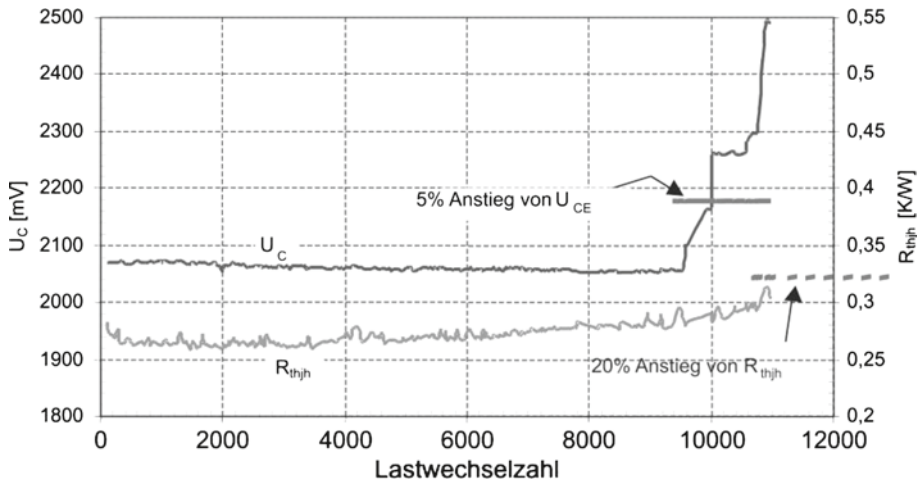


Abb. 4.32 Verlauf der Durchlassspannung sowie des thermischen Widerstands bei einem Lastwechseltest mit $\Delta T = 123$ K

Auch die Zeitdauer eines Lastwechsels ist von Bedeutung. Eine lange Zykluszeit (64 s in Abb. 4.31) ist eine stärkere Belastung für die Bauelemente.

Durch die unterschiedlichen thermischen Ausdehnungskoeffizienten der Materialien bei der Erwärmung entstehen Spannungen an den Grenzflächen. Dieser thermische Stress führt auf die Dauer zur Ermüdung der Materialien und Verbindungen. Abbildung 4.32 zeigt den Verlauf eines Lastwechseltests an einem Standard-Modul. Während des Tests wird die Durchlass-Spannung U_C eines IGBT-Chips verfolgt. Weiterhin ist es möglich, unmittelbar nach Abschalten des Laststroms einen Messstrom von einigen mA einzuspeisen und den Spannungsabfall zu messen, vermittels einer Kalibrierungskurve kann damit die obere Temperatur T_{high} bestimmt werden. Die eingespeiste Verlustleistung P_V wird ebenfalls online gemessen, aus der Temperatur T_{high} , und der oberen Kühlkörpertemperatur wird nach Gleichung (4.1) der thermische Widerstand ermittelt.

In Abb. 4.32 ist zu erkennen, wie der Spannungsabfall über dem IGBT zunächst konstant bleibt, während der Wärmewiderstand langsam ansteigt. Nach mehr als 9.000 Zyklen ist ein Sprung im Verlauf von U_C zu sehen, der mit dem Abgang eines Bonddrahts erklärt werden kann. Bald darauf findet sich der nächste Sprung statt, nach etwa 11 000 Wechseln sind alle Bonddrähte abgelöst, die Verbindung offen, eine Fortführung des Tests nicht mehr möglich.

Das Versagen von Bondverbindungen und die Ermüdung von Lotschichten sind die wesentlichen Ausfallmechanismen bei Standard-Modulen. Es ist allerdings aus einem Verlauf wie in Abb. 4.32 schwierig zu bewerten, welcher Mechanismus der primäre ist. Denn ein Anwachsen der Durchlass-Spannung in Folge geschädigter Bondverbindungen hat bei konstantem Strom eine höhere Verlustleistung und damit eine höhere Temperatur zur Folge, was je nach Gewichtung zwischen beiden Größen wiederum Auswirkungen auf den

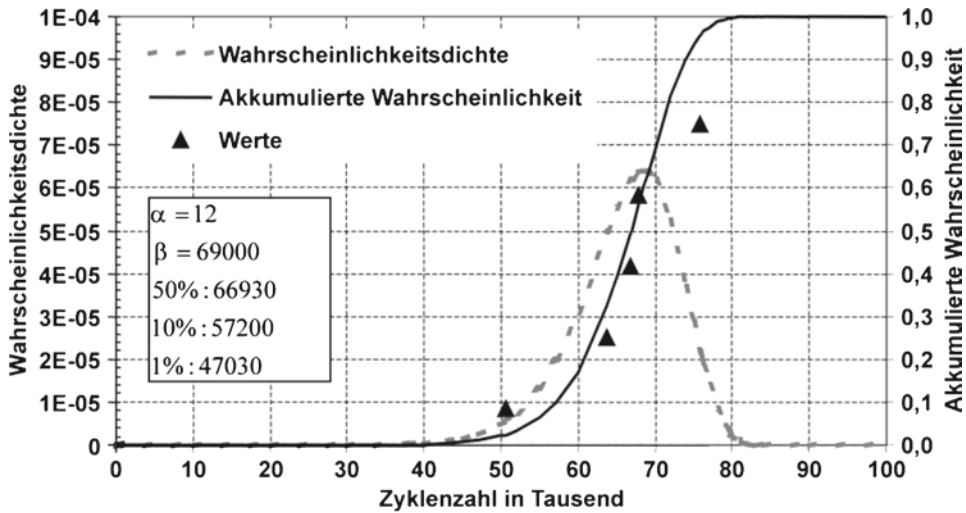


Abb. 4.33 Weibull-Auswertung eines Lastwechseltests.

Wärmewiderstand hat. Ebenso wirkt eine Ermüdung von Lotschichten; der ansteigende Wärmewiderstand führt zu einer höheren Temperatur T_{high} und damit zum schnelleren Ausfall von Bondverbindungen.

Das Lebensdauerende (end-of-life test) gilt als erreicht, wenn eines der folgenden Merkmale zutrifft:

- Erhöhung der Durchlass-Spannung U_C um 5 % oder um 20 %, verschieden bei einzelnen Herstellern und abhängig von der Messgenauigkeit für U_C . Dieser Unterschied ist aber nicht sehr wesentlich. In der Regel versagt kurz darauf die Bondverbindung vollständig, wie auch in Abb. 4.32 zu sehen.
- Erhöhung des Wärmewiderstands R_{th} um 20 %.
- Ausfall der Funktion des Chips, z. B. Verlust der Sperrfähigkeit oder Ausfall der Steuerbarkeit bei IGBTs und MOSFETs – meist verursacht durch die Zerstörung des Steuerkontakts.

Eine Bewertung von Lastwechselergebnissen mit der Weibull-Statistik ermöglicht eine Einschätzung der Lebensdauer eines Serienprodukts. Die Weibull-Statistik ist speziell für Aufgabenstellungen der Zuverlässigkeit geeignet. Sie ist anwendbar, wenn der Ausfallmechanismus durch Alterungsmechanismen geprägt ist. Ein Beispiel dafür ist in Abb. 4.33 dargestellt. Hier wurde ein Lastwechseltest so lange durchgeführt, bis 5 von 6 Prüflingen ausgefallen waren. Die Werte der Ausfälle sind markiert. Die Weibull-Verteilung wird beschrieben durch die akkumulierte Wahrscheinlichkeit

$$F(x, \alpha, \beta) = 1 - \exp\left(-\left(\frac{x}{\beta}\right)^\alpha\right) \quad (4.16)$$

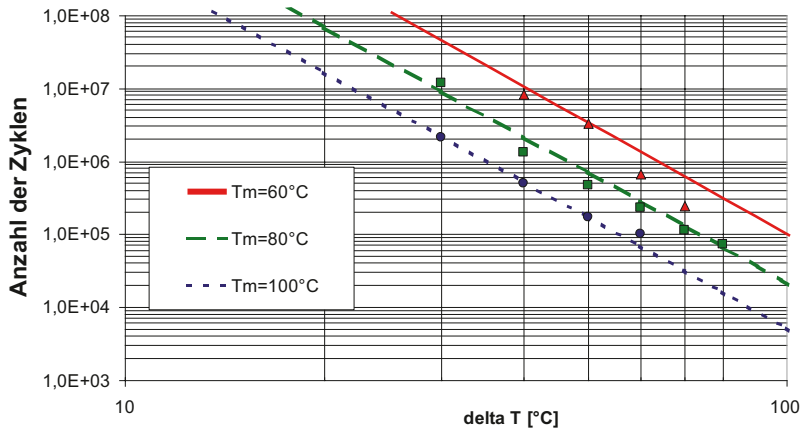


Abb. 4.34 LESIT-Ergebnisse

Diese entspricht dem Anteil der Teile, die bereits ausgefallen sind. Bei der Auswertung eines Lastwechselzyklus entspricht x der Zahl der Zyklen. β entspricht der Reichweite der Verteilung, ist $x=\beta$, so ist noch der Anteil $1/e$ der Teile nicht ausgefallen. Ist $F=1$, sind alle Teile ausgefallen. α charakterisiert die Schärfe der Verteilung, je größer α ist, umso dichter liegen die Zyklenzahlen bei Ausfall beieinander. Die Ableitung $dF/dx=f$ entspricht der Wahrscheinlichkeitsdichte, diese erlaubt die Berechnung der Wahrscheinlichkeit, dass der Ausfall zwischen einem Wert x_1 und x_2 (zwischen Lastwechsel Nr. x_1 und x_2) eintritt:

$$f(x, \alpha, \beta) = \frac{\alpha}{\beta^\alpha} x^{\alpha-1} \exp\left(-\left(\frac{x}{\beta}\right)^\alpha\right) \quad (4.17)$$

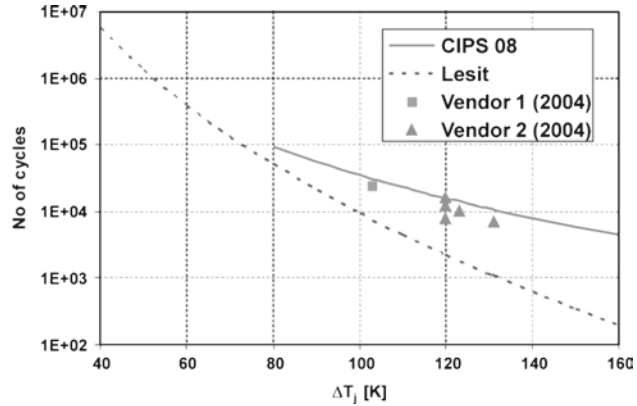
Die statistische Analyse ermöglicht schon bei relativ wenigen Prüflingen eine Abschätzung über die zu erwartende Lebensdauer eines Serienprodukts.

Da sich beim Aufbau von Modulen mit Grundplatte eine Standardtechnologie etabliert hat und die Schichtaufbauten auch bei verschiedenen Herstellern sehr ähnlich sind, wurde Mitte der 90er Jahre ein Programm zur Ermittlung der Lebensdauer von Standard-Modulen durchgeführt – das sog. LESIT-Projekt. Dabei wurden Module von verschiedenen Herstellern getestet, gemeinsam war der Standard-Aufbau Abb. 4.12 unter Verwendung einer Al_2O_3 -Keramik nach Tab. 4.1, linke Spalte. Abbildung 4.34 zeigt die erzielten Ergebnisse [Hel97] in Form der Darstellung der Zahl der Zyklen bis zum Ausfall in Abhängigkeit von ΔT_j sowie für verschiedene mittlere Temperatur T_m .

Die Linien in Abb. 4.34 entsprechen einer Anpassung von [Scn02b],

$$N_f = A \cdot \Delta T^\alpha \cdot \exp\left(\frac{E_a}{k_B \cdot T_m}\right) \quad (4.18)$$

Abb. 4.35 Vergleich experimenteller Lastwechselergebnisse von Modulen nach Stand der Technik 2004 mit der Voraussage der extrapolierten LESIT-Gleichung (4.19) und der jüngeren CIPS 08 Gleichung (4.20).
 $T_{low} = 40\text{ °C}$



dabei bedeutet k_B die Boltzmann-Konstante ($1,380 \cdot 10^{-23} \text{ JK}^{-1}$), der Parameter E_a =Aktivierungsenergie= $9,89 \cdot 10^{-20} \text{ J}$ sowie die Konstanten $A=302500 \text{ K}^{-\alpha}$ sowie $\alpha=-5,039$ kennzeichnen die vorgenommene Anpassung [Scn05]. Der erste Term in Gl. (4.19) entspricht einem Coffin-Manson-Term, wie er für die Beschreibung von Rissausbreitung üblicherweise verwendet wird. Der zweite Term entspricht einer Arrhenius-Funktion. Mit Gleichung (4.18) ist es somit möglich, für bekannte Werte von ΔT_j und T_m die nach den LESIT-Ergebnissen zu erwartende Zyklenzahl zu berechnen. Sind die typischen Zyklen in der Anwendung bekannt, so ermittelt sich daraus die für das Modul zu erwartende Lebensdauer.

Die Technologien für Standard-Module wurden seit 1997 verbessert. Lastwechselergebnisse für jüngere Leistungsmodule von zwei verschiedenen Herstellern sind in Abb. 4.35 gezeigt. Sie sind verglichen mit Gleichung (4.18) für die Bedingung $T_{low}=40\text{ °C}$, wobei für höhere Temperaturhübe außerhalb der Daten in Abb. 4.34 extrapoliert wurde. Es ist zu sehen dass die Zahl der Zyklen zum Ausfall im Temperaturbereich $\Delta T_j > 100 \text{ K}$ etwa um den Faktor 3 – 5 angestiegen ist verglichen mit der Prognose nach Gleichung (4.18).

Ein grundsätzliches Problem bei der Durchführung von Lastwechseltests ist die Auswahl der Testbedingungen. Das angestrebte ΔT_j ist eine Funktion der in Wärme umgewandelten Energie, die für eine gegebene Chiptechnologie durch den Laststrom und die Aufheizzeit t_{on} während des Tests erzeugt wird, und auf der anderen Seite durch den Wärmewiderstand des Aufbaus. Es ist daher sehr schwierig, einen Test mit exakt denselben Bedingungen zu wiederholen, und noch schwieriger, für verschiedene ΔT_j -Werte Testbedingungen mit denselben Strömen und Aufheizzeiten zu wählen. Da diese Parameter von Einfluss auf die Testergebnisse sind, müssen sie jedoch in einem Lebensdauermodell berücksichtigt werden.

Mit aus diesem Grund wurde ein erweitertes Modell zur Berechnung der Lebensdauer ermittelt [Bay08]. Aus einer Vielzahl von Lastwechselergebnissen wurde folgende Gleichung abgeleitet:

$$N_f = K \cdot \Delta T_j^{\beta_1} \cdot \exp\left(\frac{\beta_2}{T_{low}}\right) \cdot t_{on}^{\beta_3} \cdot I^{\beta_4} \cdot V^{\beta_5} \cdot D^6 \quad (4.19)$$

Tab. 4.7 Parameter zur Berechnung der Lastwechsel-
festigkeit nach Gleichung (4.9)

β_1	-4,416
β_2	1285
β_3	-0,463
β_4	-0,716
β_5	-0,761
β_6	-0,5

Als Parameter K kann der Wert $9,30 \cdot 10^{14}$ verwendet werden, die anderen Parameter $\beta_2 \dots \beta_6$ sind in Tab. 4.7 angegeben [Bay08]. Gleichung (4.19), die wir als CIPS 08 Gleichung bezeichnen wollen, enthält zusätzlich die Abhängigkeit von der Aufheizzeit t_{on} in s, vom Strom pro Bondfuß auf dem Chip I in A, der Spannungsklasse des Bauelements V in V/100 (die den Einfluss der Chipdicke wiedergibt) und des Bonddraht-Durchmessers D in μm . Die Prognose nach dem neuen CIPS 08 Modell ist für $t_{on} = 15$ s ebenfalls in Abb. 4.35 eingezeichnet. Das CIPS 08 Modell gilt für Standardmodule mit Al_2O_3 Substraten, es gilt nicht für Hochleistungsmodule mit den Materialien AlN und AlSiC (s. dazu Tab. 4.2).

Gleichung (4.19) war Ergebnis allein einer statistischen Analyse und nicht Ergebnis physikalischer Modelle [Bay08]. Die Abhängigkeit von der Aufheizzeit t_{on} – höhere Zahl von Zyklen zum Ausfall für kürzere Aufheizzeiten – kann dadurch erklärt werden, dass bei kurzen Zyklen hauptsächlich der Halbleiter selbst aufgeheizt wird. Thermisch-mechanischer Stress wird nur an der Verbindung zum Bonddraht und an der Chiplötlung auftreten, während in Schichten näher zum Kühlkörper die Temperatur nur wenig ansteigt und weniger mechanische Belastung auftritt. Die Abhängigkeit vom Strom pro Bondfuß kann durch eine homogenere Stromverteilung bei mehr Bondfüßen und vermutlich auch einem entlastenden Einfluss der Wärmekapazität der Bondfüße erklärt werden. Die Abhängigkeit vom Bonddrahtdurchmesser D leitet sich her aus größerer mechanischer Spannung am Bondfuß bei dickeren Bonddrähten. Die Abhängigkeit von der Spannungsklasse V ist eine Abhängigkeit von der Dicke des Halbleiters, die von 600 V zu 1700 V zunimmt. Bei dünneren Bauelementen werden die mechanischen Spannungen auf die Lotschicht abnehmen. Die zugrundeliegenden Bauelemente sind in Dünn-Wafer-Technologie für 1200 V ($V = 12$) und 600 V ($V = 6$) hergestellt. Für Bauelemente aus Epitaxialwafern, z. B. PT-IGBTs oder Epitaxialdioden, ist Gl. (4.19) nicht anwendbar.

Aus der statistischen Vorgehensweise im CIPS 08 Modell folgt, dass die Parameter nicht voneinander unabhängig sind, wie es bereits von den Autoren selbst betont wurde [Bay08]. Zum Beispiel wird für kleines ΔT_j eine kurze Aufheizzeit t_{on} typisch sein. Der Einfluss verschiedener Heizzeiten t_{on} ist in Abb. 4.36 gezeigt. Abbildung 4.35 würde den Eindruck erwecken, dass das neue Modell für $\Delta T_j < 60$ K weniger Lastzyklen zum Fehler voraussagt als das vorhergehende LESIT-Modell. Berücksichtigt man die Aufheizzeit, so zeigt sich dass die Lebenserwartung N_f für Module nach Stand der Technik 2004 höher ist, wenn kürzeres t_{on} für kleineres ΔT_j angenommen wird.

Trotz der Tatsache dass die Daten für Gl. (4.19) nur mit Modulen eines einzigen Herstellers gewonnen wurden ist diese Gleichung auch nützlich zur Berechnung der Lebenserwartung von Modulen anderer Hersteller. Wenn die Berechnung der Lebensdauer von

Abb. 4.36 CIPS 08 Modell nach Gleichung (4.19) für verschiedene Aufheizzeiten t_{on} , verglichen zum LESIT Modell. $T_{\text{low}} = 40^\circ\text{C}$

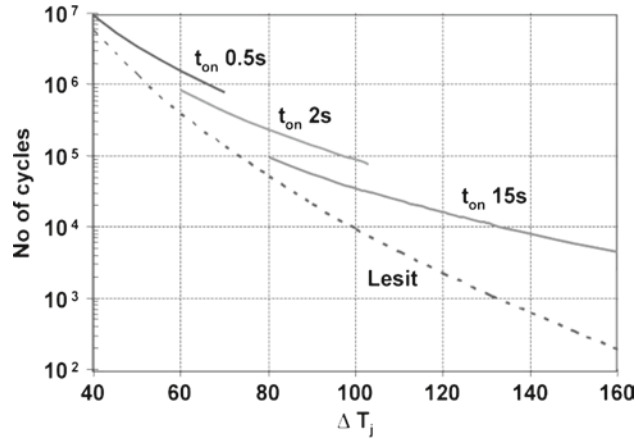
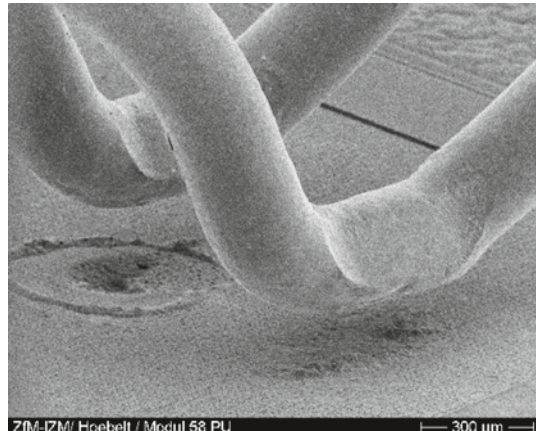


Abb. 4.37 Abgehobene Bonddrähte. IGBT Standard-Modul, ΔT 100 K. Ausgefallen zwischen 10791 und 13000 Wechseln



entscheidender Bedeutung in Anwendungen mit hohen Anforderungen an die Zuverlässigkeit ist, sollte allerdings immer der Hersteller zu Rate gezogen werden.

Ein typisches Ausfallbild, wie es nach dem Lastwechsel eines Standard-Moduls mit Grundplatte auftritt, zeigt Abb. 4.37. Hier sind von einem IGBT-Chip alle Bonddrähte abgelöst. Der hintere Bonddraht löste sich als letzter ab, der Strom floss hier noch für kurze Zeit über einen Lichtbogen, der einen Krater unter diesem Bonddraht erzeugt hat. Weiterhin typisch an diesem Bild sind die Bonddraht-Rückstände auf der Metallisierung unter dem vorderen abgelösten Bonddraht. Die Trennung erfolgt nicht an der Grenzfläche Bonddraht-Metallisierung, sondern teilweise im Inneren des Bonddrahts. Zu erkennen sind Rückstände des Bondmaterials auf der Metallisierung.

Nach Lastwechseln mit T_{high} deutlich über 100°C wird Rekonstruktion des Kontaktmaterials beobachtet. Abbildung 4.38 zeigt ein Bild der Oberfläche des Kontakts eines IGBT, zu sehen sind die einzelnen Zellen [Ham01]. Während des Lastwechsels erfolgt eine Veränderung des Gefüges im Al-Kontakt. Es bilden sich ausgeprägte Körner und Lücken in

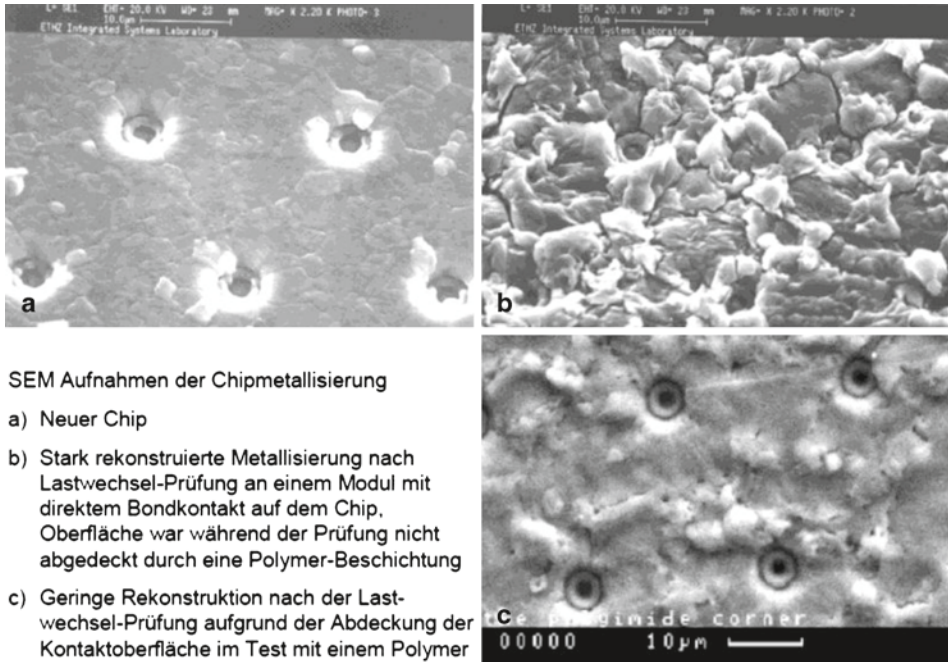
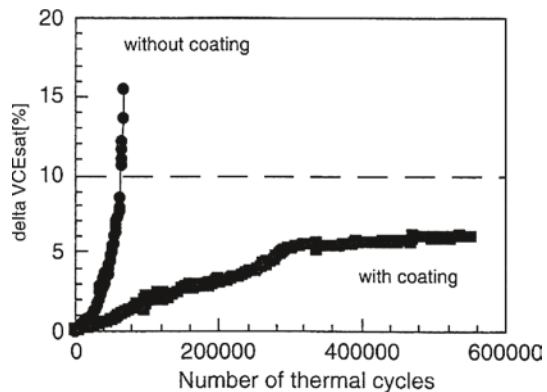


Abb. 4.38 Rekonstruktion des Al-Kontakts bei Lastwechseln. Rasterelektronenmikroskop-Aufnahme der Kontakt-Oberfläche eines IGBT-Chips. Bilder aus [Ham01]

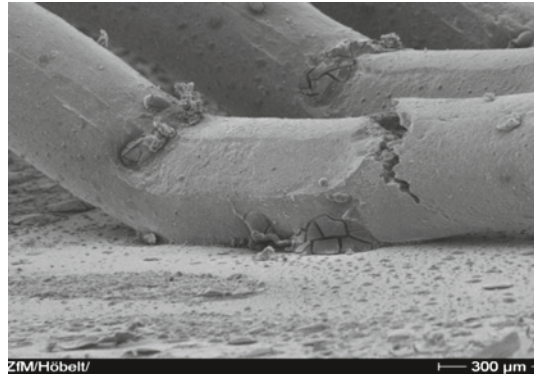
Abb. 4.39 Einfluss der Abdeckung. Verlauf eines Lastwechsels mit $\Delta T = 60$ K
 $T_m = 95^\circ\text{C}$ $t_{on} = 0,8$ s
 $t_{off} = 0,8$ s. Bild von Mauro Ciappa, ETH Zürich. Nach [Cia01]



der Metallisierung. Der Widerstand der Kontaktschicht nimmt zu, nach dem Lastwechsel findet sich die veränderte Oberfläche wie in Abb. 4.36b.

Die Rekonstruktion der Metallisierung kann durch eine Abdeckung der Bonddrähte und Kontaktschicht mit einem speziellen Polyimid behindert werden. Abbildung 4.38c zeigt eine im Vergleich zu Abb. 4.38b wesentlich bessere Oberfläche des Kontakts. Abbildung 4.39 zeigt die Veränderung der Durchlass-Spannung von IGBT-Chips bei einem Lastwechsel [Cia01]. Ohne zusätzliche Abdeckung ist früh ein Anstieg der Durchlass-

Abb. 4.40 Abdruck eines abgelösten Bonddrahts (vorn links). Querriss (Heel-Crack) in einem weiteren Bond. Diode im TO-Gehäuse, DCB-basiert, umpresst, ΔT 105 K, 75000 Wechsel



Spannung zu erkennen. Mit zusätzlicher Abdeckung erfolgt der Anstieg der Durchlass-Spannung sehr viel langsamer. Es wird eine höhere Zyklenzahl erreicht.

Abbildung 4.39 zeigt auch, dass die Lastwechselfestigkeit eines Moduls gegenüber der an dem Standard-Modul ermittelten LESIT-Ergebnissen in Abb. 4.34 deutlich erhöht werden kann. An der Erhöhung der Lastwechselfestigkeit wird von allen Herstellern von Leistungsmodulen gearbeitet.

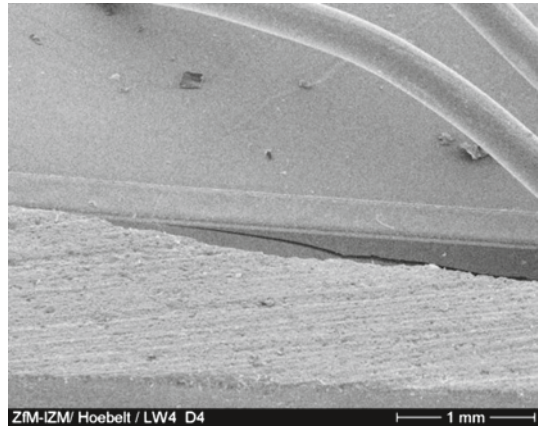
Eine erhöhte Lastwechselfestigkeit weisen auch DCB-basierte umpresste TO-Gehäuse auf, wie sie in Zusammenhang mit Abb. 4.6 beschrieben wurden [Amr04]. Abbildung 4.33 zeigte die Ergebnisse eines Lastwechselversuchs an diesen Gehäusen bei $\Delta T = 105^\circ\text{C}$ und $T_m = 92,5^\circ\text{C}$. Die Zyklenzahl, bei der nach der Weibull-Auswertung eine Ausfallrate von 50 % zu erwarten ist, liegt etwa den Faktor 10 über dem nach den LESIT-Ergebnissen in Abb. 4.32 zu erwartenden Wert. Abbildung 4.40 zeigt eine Aufnahme der Bonddrähte bei einem Bauelement, das 75000 Lastwechsel unter dieser Bedingung überstanden hat. An der dunklen Stelle im Vordergrund befand sich ehemals der Fuß eines Bonddrahts. Im noch vorhandenen Bonddraht ist deutlich ein Querriss zu erkennen.

Die steife Vergussmasse wirkt hier ähnlich einer zusätzlichen Abdeckung und verhindert zudem ein Ablösen der Bonddrähte. Weiterhin besteht in diesem Aufbau eine geringe thermische Fehlanpassung zwischen dem Al_2O_3 -Substrat und dem Halbleitermaterial Si.

TO-Gehäuse, die Cu-basiert sind, weisen eine hohe thermische Fehlanpassung zwischen Kupfer und Silizium auf. Zumindest oberhalb einer bestimmten Chipgröße ist damit die Lastwechselfestigkeit stark verschlechtert [Amr04]. Im Lastwechseltest wurde an 2 von 6 Chips nach 3800 Wechseln bei $\Delta T_j = 110^\circ\text{C}$ und $T_m = 95^\circ\text{C}$ ein Verlust der Sperrfähigkeit beobachtet. Nach anschließender Öffnung des Gehäuses und Ablösung der Vergussmasse wurden bei den betroffenen Chips Risse im Silizium gefunden. Abbildung 4.41 zeigt ein Beispiel eines Risses durch den Si-Chip.

Bei Fortführung des Tests mit den nicht ausgefallenen Bauelementen trat bis zum 10fachen der ersten Ausfallzyklenzahl kein weiterer Ausfall auf. Bei den Ausfällen mit Riss im Silizium handelt es sich um Frühausfälle. Die Weibull-Statistik ist für diesen Ausfallmechanismus nicht anwendbar. Offensichtlich ist der verwendete Chip der Größe 63 mm^2 für diese Aufbautechnik nicht geeignet. Bei kleineren Chips wurden diese Ausfälle nicht gefunden.

Abb. 4.41 Riss im Chip.
Diode im TO-Gehäuse,
Cu-basiert, umpresst,
 ΔT 110 °C 3800 Wechsel



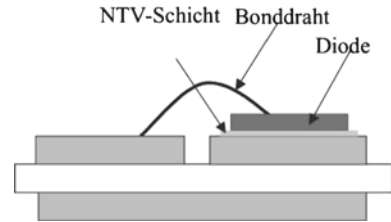
4.6.7 Ausblick

Die Aufbau- und Verbindungstechnik ist zum Schlüssel für den Fortschritt bei leistungselektronischen Bauelementen geworden. Es sind im Wesentlichen drei Aufgabenstellungen zu bewältigen:

1. Die Stromdichte im Leistungsbauelement steigt. Bereits heute stellt der Spannungsabfall in den Zuleitungen im Gehäuse schon einen wesentlichen Anteil des gesamten Spannungsabfalls beim Einsatz eines Moduls dar. Daher werden Konzepte für Zuleitungen mit möglichst niedrigem Widerstand gebraucht.
2. Mit den Fortschritten in den Bauelementen steigt auch die pro Bauelement bzw. pro Fläche abzuführende Verlustleistung. Es müssen Technologien zur besseren Wärmeableitung entwickelt werden.
3. Die Physik der Bauelemente ermöglicht für einige Anwendungen aus Si auch Sperrschichttemperaturen bis 200 °C. Es ist absehbar dass in Bezug auf die auftretenden Sperrströme und die Zuverlässigkeit der Passivierung MOSFETs, IGBTs und Freilaufdioden im Spannungsbereich bis 600 V bei einer Sperrschichttemperatur $T_j=200$ °C eingesetzt werden können. Damit muss aber auch die Zuverlässigkeit, vor allem die Lastwechselfestigkeit bei diesen hohen Temperaturen und Temperaturzyklen, sichergestellt werden. Die bisher etablierten Standardtechnologien werden den Anforderungen nicht gerecht. Es sind neue Materialien und Verbindungstechnologien notwendig.
4. Die parasitären Induktivitäten und Kapazitäten sind zu minimieren oder zu beherrschen, d. h. sie sind von einem unerwünschten Hindernis in ein funktionales Element des leistungselektronischen Schaltkreises zu verwandeln.

An der Lösung dieser Aufgabenstellungen wird in der Forschung und Entwicklung intensiv gearbeitet. Als Ersatz für die Bonddrähte wird z. B. vom „Center for Power Electronics Systems“ (CPES) ein dünnes Kupferblech vorgeschlagen, das auf die Chipoberseite gelötet

Abb. 4.42 Ersatz der Lotschicht durch eine NTV-Schicht



wird und einen möglichst großen effektiven Kontaktquerschnitt bereitstellt [Wen01]. Mit dem Chip ist es nur an einzelnen Punkten über „Solder-Balls“ verbunden (Dimple-Array Technik). Allerdings ist diese Technik bisher noch nicht in breitem Umfang eingesetzt worden und ihre Lastwechselfestigkeit ist noch nicht nachgewiesen.

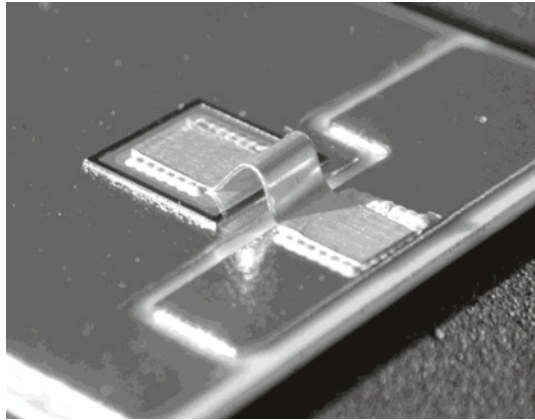
Zur Verbesserung der Wärmeabfuhr gibt es Konzepte, eine Wasserkühlung in die Grundplatte zu integrieren. Damit entfällt der durch die Wärmeleitpaste bestimmte Übergang, der in Standard-Aufbauten einen großen Anteil am Wärmewiderstand stellt. Noch einen Schritt weiter geht das Konzept, die Kühlung direkt in das DCB-Substrat zu integrieren [Scz00]. Damit entfällt auch noch die Verbindung zwischen Substrat und einer Grundplatte, indem das Substrat gleichzeitig die Funktion der Isolation, der Montageplatte und des Kühlkörpers übernimmt. Es ist hier aber zu gewährleisten, dass es nicht zur Ausbildung einer Dampfschicht im Kühlpfad kommt, denn das würde den Wärmewiderstand in kürzester Zeit deutlich anheben, was zu einer schlagartigen Erhöhung der Bauelementtemperatur und somit zu einer Schädigung, möglicherweise sogar zum Ausfall des Bauelements führt. Weiterhin wird zur Verbesserung der Wärmeabfuhr am Einsatz von Heat-Pipes gearbeitet.

Die wichtigste der genannten Aufgabenstellungen ist die Erreichung der Lastwechselfestigkeit bei hohen Sperrschichttemperaturen T_j . Hier ist die Niedertemperaturverbindungstechnik (NTV) sehr erfolgversprechend. Bei diesem Verfahren handelt es sich um ein Diffusionssintervallverfahren. Dazu wird ein Pulver aus Silberpartikeln zwischen die zu verbindenden Flächen gebracht, anschließend werden diese Flächen unter hohem Druck zusammengepresst. Um ein Versintern der Partikel bei der Lagerung zu verhindern, werden diese beim Herstellungsprozess mit einer organischen Schutzschicht passiviert. Diese Schutzschicht wird während des NTV-Prozesses bei Temperaturen um 250 °C verdampft und das Silberpulver so aktiviert.

Durch die Verdichtung der Pulverschicht unter dem hohen Druck entsteht eine stoffschlüssige Verbindung mit hoher Zuverlässigkeit [Mer02]. Der Schmelzpunkt der NTV-Schicht liegt bei 961 °C, ihre Wärmeleitfähigkeit beträgt das 4-fache einer Lotschicht, ebenso ist ihre elektrische Leitfähigkeit sehr gut.

Mitte der 90er Jahre wurde diese Technologie für den Aufbau von modernen Leistungsbau-elementen wie IGBTs und MOSFETs auf Keramiksubstraten weiterentwickelt [Kla96]. Abbildung 4.42 zeigt ein Beispiel eines auf DCB-Substrat montierten Chips, bei dem die Lotschicht durch eine NTV-Schicht ersetzt wurde. Es ist auch möglich, eine Vielzahl von Chips in einem Druckprozess zu verbinden und das Verfahren wirtschaftlich zu machen [Scn97].

Abb. 4.43 Beidseitig NTV
verbundenes Chip. Bild: TU
Braunschweig



Mit dieser Technologie wird eine sehr hohe Lastwechselfestigkeit erreicht. Bei einem Test mit $\Delta T = 130$ K wurde mit 30 000 erreichten Lastwechseln die Voraussage nach der LESIT-Extrapolation in Gleichung (4.18) um mehr als das 20-fache übertroffen [Amr05]. Die Technologie scheint sehr vielversprechend zu sein auch für Lastwechsel mit $\Delta T = 160$ K zu Chiptemperaturen T_j von 200 °C [Amr06], wie sie für Anwendungen in hoher Umgebungstemperatur, z. B. im Motorraum eines Automobils, gefordert werden.

Mittels der NTV-Technik können auch die Bonddrähte ersetzt werden, indem Silberstreifen auf der Oberseite des Chips mittels NTV verbunden werden. Dies ist in Abb. 4.43 gezeigt. Damit wird auch die zweite Schwachstelle der Aufbau- und Verbindungstechnik, der Bonddraht, durch eine zuverlässige Technologie ersetzt. Die Lastwechselfestigkeit wird weiter erhöht [Amr05]. Gleichzeitig weisen diese Silberstreifen einen geringeren elektrischen Widerstand auf.

Es ist wichtig die genannten Aufgabenstellungen in ihrem Zusammenhang zu beachten. Insbesondere dürfen auch die parasitären Komponenten nicht vergessen werden. Auf diesen Zusammenhang wird in Abschn. 7 – leistungselektronische Systeme – nochmals Bezug genommen werden.

Halbleiter-Leistungsbaulemente

Physik, Eigenschaften, Zuverlässigkeit

Lutz, J.

2012, XXII, 383 S. 298 Abb., Hardcover

ISBN: 978-3-642-29795-3