

Kapitel 1

Einleitung

1948 setzte mit der Erfindung des Germanium-Punkt-Transistors von W. Shockley, W. Brattain und J. Bardeen von den Bell-Laboratorien eine stürmische Entwicklung ein, die schließlich zum Siegeszug der Mikroelektronik führte. Zur Mikroelektronik gehören der Entwurf, die Herstellung und die Anwendung von integrierten Schaltungen. Eine integrierte Schaltung besteht aus einem Stück Halbleitermaterial, dies ist meistens Silizium, auf dem elektronische Bauelemente miteinander verbunden sind. Die Schaltungstechnik beschreibt, wie die einzelnen Bauelemente dimensioniert werden müssen und wie die Bauelemente miteinander verbunden werden müssen, so dass eine bestimmte Funktion erzielt wird.

Man unterscheidet zwischen analogen und digitalen Schaltungen. Eine analoge Schaltung arbeitet mit Signalen in Form von Spannungen, Strömen oder Ladungen, die kontinuierliche Funktionen der kontinuierlichen Zeitvariablen sind. In digitalen Schaltungen treten ebenfalls zeit- und wertekontinuierliche Signale auf, jedoch werden diesen Signalen an bestimmten Zeitpunkten diskrete Zahlenwerten – fast immer 0 und 1 – zugeordnet. Daher wird in digitalen Systemen jedes Signal durch eine Sequenz von Zahlen an diskreten Zeitwerten repräsentiert. Die Digitaltechnik beschäftigt sich mit der Verarbeitung von digitalen Signalen. Der Markt für integrierte analoge Schaltungen beträgt etwa 20% des gesamten Marktes für integrierte Schaltungen.

In den Laboratorien der Siemens AG gelang es 1953 erstmals, reines einkristallines Silizium herzustellen. 1959 wurde die planare Technologie von R. Noyce und J. Kilby erfunden. Zehn Jahre später, 1969, waren die ersten LSI-Speicherchips (LSI, „Large Scale Integrated“) verfügbar. Ein weiterer Meilenstein war 1972 die Erfindung des Ein-Chip-Mikroprozessors von H. E. Hoff (Intel Corporation) [178]. In den letzten Jahrzehnten hat sich die Zahl der Transistoren, die erfolgreich auf einem einzigen Chip integriert werden konnten, etwa alle drei Jahre verdoppelt.

Die treibende Kraft in der Mikroelektronik ist der abnehmende Preis pro Funktion. 1973 benötigte man, um den Informationsgehalt von einem Megabit zu speichern, 1024 integrierte Schaltungen (IS) zu einem Gesamtpreis von etwa Euro 75 000 (siehe Bild 1.1). Elf Jahre später wurde für die gleiche Funktion nur ein Preis von Euro 120 verlangt. Über einen Preis von Euro 0,10 1998 reduzierte sich



Bild 1.1 Preise für einen 1 Mbit-DRAM-Speicher in Abhängigkeit von der Zeit [Prof. Ruge, private Mitteilung].

der Preis im Jahr 2009 auf 0,8 Cents. In der Vergangenheit wurde etwa alle drei Jahre eine neue Technologiegeneration mit verringertem Preis pro Funktion eingeführt. Aus diesen Zahlen und Beispielen ersieht man, unter welchem Kostendruck der Entwurf und die Herstellung von integrierten Schaltungen stehen. Die Mikroelektronik benötigt Produkte mit großen Stückzahlen. Die Chips wurden nicht nur immer billiger, sondern auch die elektrischen Eigenschaften, insbesondere die Schaltzeiten, wurden ständig verbessert.

Technisch wurde die Kostenreduzierung erreicht, indem man mit jeder neuen Technologiegeneration kleinere Strukturen auf nur geringfügig vergrößerten Chipflächen und damit mehr Funktionen pro annähernd konstanter Chipfläche in der Produktion beherrschte. Inzwischen hat sich ein Konsortium gebildet, das die Herausforderungen definiert, die überwunden werden müssen, wenn die Strukturverkleinerung und damit auch die Kostenreduktion in Zukunft weitergehen soll. Gegenwärtig reicht die Prognose der ITRS (International Technology Roadmap for Semiconductors) bis ins Jahr 2018 [105]. Wenn die in der Roadmap dargelegten Probleme gelöst werden können, wird im Jahr 2018 der MOS-Transistor eine minimale Gate-Länge von 7 nm aufweisen und die intrinsische Gatterlaufzeit wird 0,11 ps erreichen. Auf einer Fläche von 1 cm² wird man etwa 38 Milliarden Transistoren integrieren können. Die Taktfrequenz wird 53 GHz betragen und die Anzahl der Verdrahtungsebenen wird bei 18 liegen. Die maximale Verlustleistung wird mit 300 Watt angegeben.

Bedingt durch die kleinen Strukturen und die extrem hohen Taktfrequenzen, die zukünftig realisierbar sind, ergeben sich mehrere Grundherausforderungen. In Zukunft müssen nicht nur die Probleme, die mit der großen Transistorzahl verbunden sind, gelöst werden, sondern es müssen auch die Probleme, die sich aus der zunehmenden Komplexität der Bauelementephysik ergeben, bei der Schaltungsentwick-

lung und dem Schaltungsentwurf berücksichtigt werden. Die zunehmende Komplexität der Bauelementephysik drückt sich in sehr komplizierten Bauelementemodellen aus. Zum Beispiel müssen heute Tunneleffekte in die MOS-Transistormodelle eingearbeitet werden. Für die Verbindungsleitungen stehen in Zukunft bis zu 18 Verdrahtungsebenen zur Verfügung. Bei sehr hohen Frequenzen stellen diese im Allgemeinen ein verkoppeltes System von RLC-Leitungen dar.

Neben der Komplexität, die durch die große Zahl der Transistoren und der Komplexität, die durch die Bauelementephysik bedingt ist, und der hohen Variabilität der Schaltungsparameter, ist die Verlustleistung der Chips eine weitere große Herausforderung. Dies gilt besonders für Bausteine, die in tragbaren Geräten eingesetzt werden sollen. In modernen CMOS-Bausteinen ist die Verlustleistung aufgrund von Leck- und Tunnelströmen in derselben Größenordnung wie die Verlustleistung, die man zum Schalten der Gatter benötigt. Zur Lösung des Verlustleistungsproblems müssen auf allen Ebenen des Chipentwurfs neue Lösungen angestrebt werden. Dies gilt auch für die Schaltungstechnik und für die Chiparchitektur. Die Chiparchitektur beschreibt die verschiedenen Blöcke, die auf einem Chip integriert sind, und wie diese Blöcke zusammenwirken.

Die Spannbreite bei den Chiparchitekturen reicht von den allgemein programmierbaren Prozessoren (GPP, General Purpose Processor), wie sie gegenwärtig zum Beispiel von Intel hergestellt werden, über DSP (Digital Signal Processor), ASIP (Application Specific Instruction Processor) und FPGA (Field Programmable Gate Array) mit und ohne in Hardware implementierte Prozessorkern, so wie Chips, die mit Standardzellen-Bibliotheken entworfen werden, bis hin zur physikalisch optimierten Hardware.

Während mit dem allgemein programmierbaren Prozessor die höchste Flexibilität bezüglich der Funktion des Chips bei höchster Verlustleistung erreicht wird, nimmt über die genannte Kette die Programmierbarkeit ständig ab, gleichzeitig wird aber eine höhere Effizienz bezüglich Energie- und Flächennutzung erzielt. Für das Diagramm von Bild 1.2 wurden typische Vertreter für jede Gruppe ausgewählt. Es wurde jeweils die benötigte Verlustleistung pro Rechenleistung, die in MOPS (Mega Operation Per Second) ausgedrückt wird, bestimmt. Zusätzlich wurde berechnet, wie viel Fläche jeweils für ein MOPS aufgewendet wurde. Beide Achsen des Diagramms weisen einen logarithmischen Maßstab auf. Damit die Daten vergleichbar sind, wurden sie auf eine 130nm Technologie skaliert. Das Bild 1.2 zeigt erstaunlich große Unterschiede, die bis zu einem Faktor 10^5 reichen. Es wird deutlich, dass maximale Flexibilität bezüglich der Programmierbarkeit die höchste Verlustleistung und die geringste Effizienz bei der Flächennutzung aufweist. Bildet man für jeden Punkt des Diagramms das Produkt aus Abszissenwert und Ordinatenwert erhält man näherungsweise einen konstanten Wert. Die Punkte liegen auf einer Geraden. In dem Maße, in dem es gelingt eine bestimmte Rechnerleistung mit geringerer Fläche zu implementieren, in dem Maße kann auch die Verlustleistung minimiert werden. Die Kunst wird es in Zukunft sein, für die jeweilige Anwendung die richtige Mischung aus notwendiger Flexibilität und minimaler Verlustleistung und somit für einen geeigneten Algorithmus die richtige Chiparchitektur und die passende Schaltungstechnik zu finden.

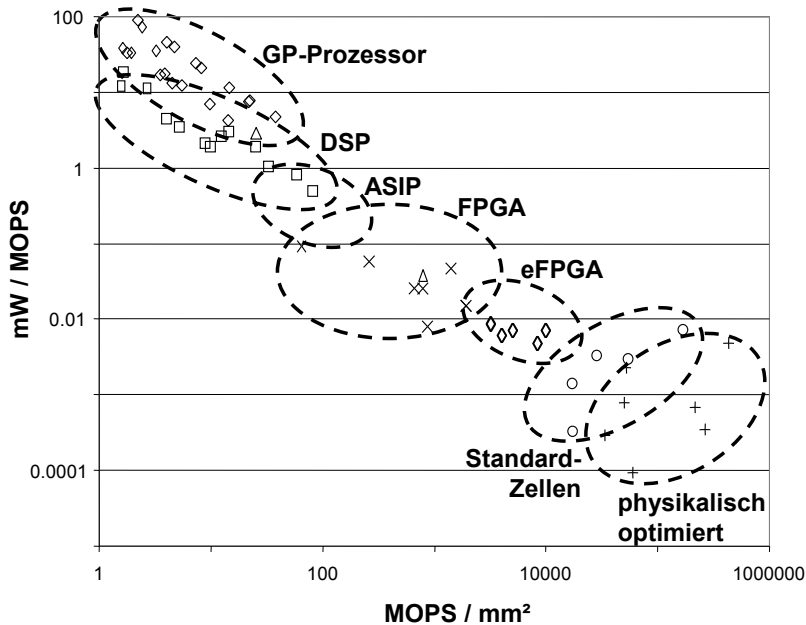


Bild 1.2 Der Flexibilitäts-Verlustleistungs-Konflikt.

Welche Wissensgebiete für den Entwurf und die Herstellung einer integrierten Schaltung notwendig sind, wird deutlich, wenn man sich die Arbeitsabläufe vergegenwärtigt, die zu dem fertigen Produkt – der integrierten Schaltung – führen.

Zunächst wird der Systemingenieur die Systemfunktion mit genauen Spezifikationen festlegen. Im nächsten Schritt wird die Systemfunktion in Unterblöcke aufgeteilt und die Chiparchitektur bestimmt. Weiter wird eine logische Beschreibung des zu realisierenden Netzwerkes erstellt, die dann in Schaltungen umgesetzt wird.

Wegen der großen Datenmengen, die beim Entwurfsprozess anfallen, und um zu gewährleisten, dass der fertige Entwurf der ursprünglichen Systembeschreibung entspricht, müssen auf allen Ebenen des Entwurfsprozesses CAD-Werkzeuge (CAD, Computer Aided Design) eingesetzt werden.

Im vorhergehenden Abschnitt wurde der „Top-Down“-Entwurfstil beschrieben. Bei der „Top-Down“-Methode werden, wegen der großen Komplexität der Daten, die einzelnen Entwurfsebenen, beginnend mit der höchsten Ebene, sequentiell bearbeitet. Man wünscht sich, dass man automatisch, das heißt ohne dass der Designer per Hand eingreifen muss, von der obersten Ebene zu der untersten Ebene des Entwurfsprozesses gelangt. Bessere Produkte ließen sich erzielen, wenn interaktiv gearbeitet werden könnte. Das bedeutet, dass Entscheidungen, die auf hoher Ebene getroffen werden, im Hinblick auf die Auswirkungen auf die unterste Ebene, wie zum Beispiel Verlustleistung oder Chipfläche, zumindest abgeschätzt werden könnten. Für die optimale Umsetzung der Systemfunktionen wäre eine parallele Betrachtung der einzelnen Entwurfsebenen wünschenswert.

Ist der Schaltungsentwurf abgeschlossen, wird die Information über die integrierte Schaltung mittels Maskenbänder, die die Angaben über die Geometrie der Masken für die photolithographischen Prozessschritte enthalten, an die Technologie übergeben. In der Produktlinie werden die integrierten Bausteine hergestellt und einem ersten Produktionstest unterzogen. Sodann werden die integrierten Schaltungen in Gehäuse eingebaut und wieder getestet. Schließlich gelangen die integrierten Schaltungen in die vorhergesehenen Geräte.

Durch das Zusammenwirken von Systemwissen, Entwurfsmethodik, Schaltungstechnik, Halbleiterphysik, Technologie, Testmethoden und Aufbautechnik entstehen integrierte Schaltungen. Diese vielseitigen Kooperationen bedingen Fachleute, die neben den speziellen Fachkenntnissen auch über genügend Kenntnisse in benachbarten Fachgebieten verfügen.

Das vorliegende Buch behandelt vorrangig die Schaltungstechnik von digitalen CMOS-IS, die entsprechend dem „Full-Custom“-Designstil entworfen werden (siehe Kapitel acht). Für den Entwurf der Bausteine stehen unterschiedliche Methoden zu Verfügung. Im Wesentlichen wird zwischen „Full-Custom“- und „Semi-Custom“-Methoden unterschieden. Beim „Full-Custom“-Entwurfstil werden die Entwürfe „per Hand“ ausgeführt. Auf dem Markt verfügbar sind nur rudimentäre CAD-Werkzeuge, die diesen Entwurfstil unterstützen. Allerdings verfügen einzelne Firmen, wie zum Beispiel Intel über hauseigene CAD-Werkzeuge. Der „Full-Custom“-Entwurfstil bietet die größte Flexibilität, aus der Sicht des Entwicklers eine gegebene Spezifikation mit überlegenen elektrischen Eigenschaften, wie Fläche, Gatterlaufzeit oder Verlustleistung in Silizium zu gießen. Jedoch sind mit dieser Methode im Allgemeinen hohe Entwicklungskosten und Entwicklungszeiten verbunden.

Die Entwicklungskosten und die Entwicklungszeiten können mit der „Semi-Custom“-Entwurfsmethode vermindert werden. Bei dieser Methode werden automatisierte Entwicklungspfade, die von entsprechenden CAD-Werkzeugen unterstützt werden, eingesetzt. Die Entwurfswerkzeuge benutzen Bibliotheken von vorentworfenen Logikzellen, Blöcken oder gar Prozessorkernen, wie ARM, MIPS oder PowerPC. Das Ideal wäre eine Beschreibung der gewünschten Funktion auf hoher Systemebene und die automatische Umsetzung dieser Beschreibung in ein Layout, das die Spezifikationen erfüllt. Die Vorteile dieser Methode sind die geringeren Kosten und die kürzere Entwurfszeit. Der Preis ist größere Einschränkungen beim Entwurf und schlechtere elektrische Eigenschaften der realisierten Chips. Die verschiedenen Blöcke in einem SOC (System On Chip) werden entweder mit der einen oder der anderen Methode entworfen.

Da aber digitale Schaltungen analoge Schaltungsblöcke, wie Verstärkerschaltungen oder bistabile Latches enthalten, werden die wichtigsten analogen Grundsaltungen ebenfalls in diesem Buch besprochen. Obwohl hauptsächlich der interne Aufbau von digitalen CMOS-Bausteinen behandelt wird, sollte das Buch auf für Anwender von integrierten Schaltungen nützlich sein. Ein Verständnis für die interne Struktur ist für Anwender wichtig, wenn für eine bestimmte Funktion konkurrierende Schaltungen zur Verfügung stehen. Vom Hersteller geschriebene Datenblätter können besser interpretiert werden, wenn der Anwender sich die interne Realisie-

rung von Funktionsblöcken vorstellen kann. Mit dem in diesem Buch dargestellten Wissen sollte der Anwender zukünftige Entwicklungen besser abschätzen können.

Das Buch wendet sich an Studenten der höheren Semester, die Vorlesungen über Logikentwurf und Halbleiterphysik gehört haben. Für Ingenieure, die bereits im Arbeitsleben stehen, soll das Buch die Einarbeitung in neue Aufgabengebiete erleichtern und zusätzlich als Nachschlagewerk dienen.

Diese dritte Auflage bietet einen vollständigen überarbeiteten Blick auf alle Aspekte der integrierten digitalen Schaltungstechnik. Aufbauend auf der Halbleiterphysik von modernen CMOS-Transistoren und deren Herstellung werden digitale und wenn nötig analoge Grundsaltungen behandelt. Weiter werden Funktionsblöcke, wie Speicherschaltungen, Addierer und Multiplizierer besprochen. Die Auswirkungen der zeitlichen und örtlichen Schwankungen der Versorgungsspannungen und der Temperatur und der herstellungsbedingten Schwankungen der Transistorparameter bilden einen besonderen Schwerpunkt. In der Literatur werden diese Effekte unter dem Kürzel PVT zusammengefasst. Da die Anzahl der Atome, die einen Transistor formen, stetig abnimmt, wird sich das Problem der Herstellungstoleranzen dramatisch verschärfen. Man spricht heute deswegen von einem herstellungsfreundlichen Entwurf. Eine eigenständige Weiterentwicklung der integrierten Schaltungen, deren Ziel es ist, die störenden Nebeneffekte von Transistoren und Leitungen zu kompensieren, ist notwendig. Wir brauchen robuste Schaltungen. Als roter Faden zieht sich die Behandlung der Komplikationen, die die modernen Transistoren im Nanometerbereich bedingen, durch alle Kapitel. Das Buch vermittelt die Grundlagen, die notwendig sind, um zu verstehen, wie integrierte digitale Schaltungen aufgebaut sind.

Kapitel zwei enthält eine Diskussion der fundamentalen Halbleiterphysik von MOS-Transistoren. Die Ableitung von einfachen Strom-Spannungs-Gleichungen erhellt die Abhängigkeit der elektrischen Eigenschaften der Schaltungen von Herstellungsparametern. Die zunehmende Verringerung der Strukturgrößen führt zu erheblichen Abweichungen zwischen dem tatsächlichen Verhalten der MOS-Transistoren und den Vorhersagen der einfachen Theorie. Deswegen werden zusätzlich Kurzkanaleffekte, die Effekte von schmalen Transistoren und Hochfeldeffekte besprochen. Weiter werden Ersatzschaltbilder abgeleitet und das Netzwerkanalysenprogramm SPICE behandelt. Es wird auf die zukünftige Entwicklung der CMOS-Technologie eingegangen.

Sodann wird die Herstellung der MOS-Chips erläutert. Ein besonderer Schwerpunkt der Betrachtung liegt auf Transistorstrukturen, die der Reduktion der störenden Leckströme dienen. Da sich die Herstellung der Masken für den photolithographischen Prozess dramatisch verteuert hat, werden ausführlich die Gründe dafür dargelegt.

Nach den aktiven Elementen werden im 3. Kapitel die passiven Elemente einer integrierten Schaltung erläutert. Zunächst werden die diskreten Bauelemente – wie Widerstände, Kapazitäten und Induktivitäten – behandelt. Dann wird die Signalübertragung auf integrierten Leitungen besprochen. Der besondere Schwerpunkt liegt auf den RC-Leitungen und auf der Kopplung zwischen den RC-Leitungen.

Da in Zukunft auch induktive Effekte berücksichtigt werden müssen, werden auch RLC-Leitungen angesprochen.

Die Grundsaltungen werden im vierten Kapitel erläutert. Zunächst wird ein ideales Logikelement angesprochen. Sodann wird ein Maß für die Unempfindlichkeit einer digitalen Schaltung im Hinblick auf Störungen angegeben. Ein weiterer wichtiger Punkt ist die Berechnung der Verlustleistung, die im Chip in Wärme umgesetzt wird. Anhand von Invertern werden das statische und das dynamische Verhalten von Logikgattern erläutert. In diesem Kapitel werden auch Schaltungen zum Treiben von großen Lasten, die auf dem Chip oder an der Grenze des Chips auftreten, behandelt. Als Einführung in die analoge Schaltungstechnik werden die elektrischen Eigenschaften von Differenzstufen im Großsignal- und im Kleinsignalbetrieb beschrieben.

Der Darstellung von Grundsaltungen, – wie Latches, Register und Flip-Flops – die Informationen speichern können, ist ein weiterer Abschnitt dieses Kapitels gewidmet. Anschließend werden die wichtigsten statischen und dynamischen Logikfamilien der CMOS-Technologie ausführlich behandelt. Es wird erläutert, wie man eine Kette aus komplexen Gattern dimensioniert. Schließlich werden in diesem Kapitel Methoden beschrieben, mit denen es gelingt, die Verlustleistung minimal zu gestalten.

Daran schließt sich ein Kapitel über die gebräuchlichsten Taktsysteme an. Es werden Taktversatz und Jitter besprochen. Dieses Kapitel schließt die Takterzeugung mittels PLL-Schaltungen und die Taktverteilung ein.

Das sechste Kapitel umfasst die Halbleiterspeicher, wie SRAM und Flash-Speicher, die zusammen mit anderen Logikschaltungen in komplexen Prozessoren integriert werden. Anhand beider Speichertypen lässt sich zeigen, dass man mit der fortschreitenden Strukturverkleinerung mit den klassischen Entwürfen an Grenzen bezüglich der Herstellbarkeit gelangt. Dieses Kapitel schließt mit der Behandlung der DRAMs (dynamische Speicher).

Das siebte Kapitel befasst sich mit arithmetischen Modulen. Zunächst wird die Addition und Subtraktion von binären Zahlen erläutert. Ein Schwerpunkt der Darstellung liegt auf geeigneten Baumstrukturen. Sodann werden redundante Zahlensysteme, wie Carry-Save-Arithmetik und Signed-Digital-Zahlen, erläutert. Daran schließt sich ein Kapitel über die wichtigsten Multiplizierertypen an. Das Kapitel wird mit der Betrachtung abgerundet, wie während der Entwurfsphase ein Optimum aus Rechenzeit und Verlustleistung in den verschiedenen Hierarchieebenen erreicht werden kann.

Wenn Milliarden von Transistoren auf einem Chip integriert werden sollen, stellt sich ein Komplexitätsproblem. Es gibt mehrere Entwurfsmethoden, mit deren Hilfe das Problem gelöst werden soll. Im achten Kapitel werden diese Methoden und die dafür jeweils benötigten CAD-Werkzeuge besprochen.

Integrierte Digitale Schaltungen
Vom Transistor zur optimierten Logikschaltung

Klar, H.; Noll, T.

2015, XII, 711 S. 300 Abb., 20 Abb. in Farbe., Hardcover

ISBN: 978-3-540-40600-6