

Inhaltsverzeichnis

1	Einleitung	1
2	Physik und Herstellung von MOS-Transistoren	9
2.1	Modelle für den MOS-Transistor	10
2.1.1	Überblick über die Physik von MOS-Transistoren	10
2.1.2	Einsatzspannung	13
2.1.3	Strom-Spannungs-Charakteristik	22
2.1.3.1	Idealisierte Transistorgleichungen	22
2.1.3.2	Kanallängenmodulation	30
2.1.3.3	Übersicht über die einfachen Transistorgleichungen	33
2.1.3.4	Genauere Transistorgleichungen bei starker Inversion	35
2.1.3.5	Transistorgleichungen bei schwacher Inversion	37
2.1.3.6	Temperaturverhalten des MOS-Transistors	38
2.1.3.7	Zusammenfassung	41
2.1.4	Strukturverkleinerung	41
2.1.5	Kurzkanaleffekte	43
2.1.6	Schmale Transistoren	47
2.1.7	Geschwindigkeitssättigung und ballistischer Transport	48
2.1.8	Verarmung im polykristallinen Silizium	63
2.1.9	Hochfeldeffekte	65
2.1.9.1	Lawinenmultiplikation und Degradationseffekte	66
2.1.9.2	Band-zu-Band Tunneleffekt	68
2.1.9.3	Tunneln in das und durch das Siliziumdioxid	70
2.1.9.3.1	Fowler-Nordheim-Tunnelprozess	70
2.1.9.3.2	Direktes Tunneln	70
2.1.9.4	Gate-induzierter Drain-Leckstrom (GIDL)	71
2.1.10	Moderne MOS-Transistorstrukturen zur Reduktion von Leckströmen	74
2.1.10.1	Transistoren mit höherer homogener Substratdotierung	75

2.1.10.2	Inhomogene Dotierungsprofile	75
2.1.10.3	Transistoren mit mechanischer Belastung (Strained Silicon)	76
2.1.10.4	Transistoren mit neuer Gate-Isolierung (high k Transistoren) und metallischen Gate-Elektroden . .	78
2.1.10.5	SOI (Silicon on Insulator)	80
2.1.10.6	Multi-Gate-Transistoren	82
2.1.10.7	HP-, LOP- und LSTP-Transistoren	85
2.1.11	Entwicklungstrends	90
2.1.12	Ersatzschaltbilder für den MOS-Transistor	94
2.1.12.1	Äußeres Modell des MOS-Transistors	94
2.1.12.2	Inneres Modell des MOS-Transistors	97
2.1.12.3	Kleinsignalersatzschaltbild des MOS-Transistors . .	100
2.1.13	Schaltkreissimulator SPICE	103
2.1.13.1	SPICE-MOS-Transistormodelle	104
2.2	Einführung in die Herstellung von integrierten MOS-Schaltungen . .	106
2.2.1	Wichtige Einzelprozesse	107
2.2.1.1	Kristallwachstum	107
2.2.1.2	Photolithographie und Maskenherstellung	108
2.2.1.3	Selektives Entfernen von Material	116
2.2.1.4	Aufbringen von Material	117
2.2.1.5	Chemisch-mechanisches Polieren	119
2.2.2	N-Wannen-CMOS-Prozess	122
2.2.3	Technologiebedingte Effekte und Regeln	128
2.2.3.1	Latch-Up-Effekt	128
2.2.3.2	Designregeln	131
2.2.3.3	Ausbeute	135
2.2.3.4	Wärmeableitung	137
2.2.3.5	Parameterschwankungen	138
3	Leitungen	163
3.1	Diskrete Bauelemente	164
3.1.1	Widerstände	164
3.1.2	Kapazitäten	166
3.1.3	Induktivitäten	171
3.2	Leitungsmodelle	188
3.2.1	Leitungstheorie	189
3.2.2	RC-Leitung	195
3.2.3	Einsetzen von Repeatern	200
3.2.4	Elmore-Verzögerung	202
3.2.5	Strukturverkleinerung von Leitungen	207
3.2.6	Kapazitive Kopplungen	209
3.2.7	Leitung mit geringen Verlusten	212
3.2.8	Wann müssen Induktivitäten berücksichtigt werden?	213
3.2.9	Abschirmen von Leitungen	217

3.3	Globale Netzwerke	218
3.3.1	Verteilung der Versorgungsspannungen	220
3.4	Einschwingverhalten einer am Ende mit C_L abgeschlossenen RC-Leitung	228
3.4.1	Erste Näherung für $s \ll 1/\tau$ oder $t \gg \tau$	230
3.4.2	Zweite Näherungslösung für $s > 1/(4\tau)$ oder $t < 4\tau$	231
4	Grundsaltungen	235
4.1	Idealisiertes Logikelement	235
4.2	Störungen und Störabstände	236
4.3	MOS-Inverter	242
4.3.1	Inverter mit passiver und aktiver Last	243
4.3.2	CMOS-Inverter	250
4.3.2.1	Gleichstromverhalten	250
4.3.2.2	Kleinsignalübertragungsfunktion	255
4.3.2.3	Schaltverhalten	259
4.3.2.4	Ringoszillator	267
4.3.2.5	Dynamischer ZTC-Punkt	268
4.4	Verlustleistung	269
4.4.1	Dynamische Verlustleistung P_C aufgrund von Ladevorgängen	270
4.4.2	Dynamische Verlustleistung P_{SC} aufgrund von Querströmen während den Schaltvorgängen	272
4.4.3	Verlustleistung P_{Leak} aufgrund von Leckströmen	274
4.5	Treiberschaltungen	276
4.5.1	Inverterkette	277
4.5.2	Tristate-Treiber	280
4.5.3	Ein- und Ausgangsschaltungen	282
4.5.3.1	ESD-Modelle	283
4.5.3.2	ESD-Tests	285
4.5.3.3	ESD-Schaltungen	286
4.5.3.4	ESD-Schutzsysteme	290
4.6	Analoge Grundsaltungen	292
4.6.1	Stromspiegelschaltungen	292
4.6.2	Differenzstufen	294
4.6.2.1	Differenzstufe mit Ohm'scher Last	294
4.6.2.2	Differenzstufe mit Stromspiegelschaltung als Last	304
4.7	Latches, Flip-Flops und Register	307
4.7.1	Einfache dynamische Latches	309
4.7.2	Einfache dynamische Register	314
4.7.3	Verriegelungsschaltung und modifiziertes Svensson-Latch	317
4.7.4	Bootstrap-Schaltung	324
4.7.5	Statische Latches und Register	325
4.7.5.1	Flip-Flop	325
4.7.5.2	Bewerterschaltung (Sense Amplifier)	331

4.7.5.3	Einschreiben von Daten	334
4.7.6	Metastabilität	337
4.8	Elementare Logikgatter	342
4.8.1	Statische Logikgatter	343
4.8.1.1	Statische CMOS-Logikgatter	344
4.8.1.1.1	Gleichstromverhalten	344
4.8.1.1.2	Schaltverhalten	348
4.8.1.1.2.1	Laufzeitmodelle	348
4.8.1.1.2.2	Kaskadierung von Gattern, logischer Aufwand	350
4.8.1.1.3	Verlustleistung in statischen CMOS-Gattern	365
4.8.1.1.4	Falsches Schalten	367
4.8.1.1.5	Zusammenfassung	367
4.8.1.2	Pseudo-NMOS-Logik	368
4.8.1.3	DCVS-Logik	370
4.8.1.4	Pass-Transistor-Logik	372
4.8.1.5	Current Mode Logic (CML)	377
4.8.1.5.1	CML-Pufferschaltungen	378
4.8.1.5.2	Pufferkette	382
4.8.1.5.3	CML-Latches, Register und Frequenzteiler	385
4.8.1.5.4	Multiplexer und Demultiplexer	386
4.8.2	Dynamische Logikgatter	391
4.8.2.1	Einfaches dynamisches Logikgatter	391
4.8.2.2	Domino- und NORA-Logik	394
4.8.2.3	Differentielle Domino-Logik	397
4.8.2.4	Zusammenfassung	399
4.8.3	Maßnahmen zur Reduktion der Verlustleistung	400
4.8.3.1	Blockabschaltung (Clock und Power Gating)	402
4.8.3.2	Minimierung der Verlustleistung im aktiven Betrieb	409
4.8.3.2.1	Reduktion der Leckströme im aktiven Betrieb	410
4.8.3.2.2	Reduktion der dynamischen Verlustleistung	417
4.8.3.2.3	Erkennung und Korrektur von Laufzeitfehlern in dynamischen Umgebungen	421
4.8.3.3	Adiabatische Logik	425
5	Takte	439
5.1	Ein-Phasen-Taktsysteme	440
5.1.1	Clock Skew (Taktversatz)	442
5.1.2	Jitter	444
5.1.3	Gemeinsame Wirkung von Taktversatz und Jitter	446
5.2	Nicht überlappende, komplementäre Zwei-Phasen-Taktsysteme	447
5.3	Vergleich von Ein-Phasen- und Zwei-Phasen-Taktsystemen	449
5.4	Erzeugung der Takte	451
5.4.1	Erzeugung von Ein-Phasen-Takten	451

5.4.1.1	Phasenregelschleifen mit Ladungspumpen (Charge Pump PLL, CPPLL)	452
5.4.1.2	Spannungsgesteuerte Oszillatoren (VCO)	459
5.4.1.3	Phasen-Frequenz-Detektor (PFD)	461
5.4.1.4	DLL-Schaltungen	464
5.4.2	Erzeugung der nichtüberlappenden komplementären Zwei-Phasen-Takte (Pseudo-Vier-Phasen-Takt)	466
5.5	Taktverteilung	467
6	Halbleiterspeicher	475
6.1	Einführung in die Halbleiterspeicherschaltungen	476
6.2	Dekodierschaltungen	483
6.3	Nicht flüchtige Speicher	489
6.3.1	MOS ROM-Zelle	490
6.3.2	Floating-Gate-Transistor	492
6.3.3	EPROM-Zelle	495
6.3.4	EEPROM-Zelle	496
6.3.5	Flash-Speicherzelle	498
6.3.5.1	NOR-Flash-Speicher	499
6.3.5.2	NAND-Flash-Speicher	503
6.3.5.3	Strukturverkleinerung von Flash-Speichern	506
6.4	Statische Schreib-Lese-Speicher (SRAM)	509
6.4.1	Wirkungsweise der Sechs-Transistor-Speicherzelle	510
6.4.2	Varianten der statischen Speicherzelle	512
6.4.3	Strukturverkleinerung der Sechs-Transistor-Zelle	514
6.4.3.1	Fehler in Ruhestellung (hold failure)	517
6.4.3.2	Lesefehler (read failure)	518
6.4.3.3	Fehler während eines Schreibvorgangs (write failure)	520
6.4.3.4	Fehler bezüglich der Lesezugriffszeit (Access- Time-Failure)	523
6.4.3.5	Statistik extremer Werte	527
6.4.3.6	Störsicherheit als Funktion von U_{DD} und Z	533
6.4.3.7	Maßnahmen zur Erhöhung der Störsicherheit von SRAM-Zellen	534
6.4.3.7.1	Lithographisch-symmetrische Zellen	536
6.4.3.7.2	Anpassung der Versorgungsspannungen	538
6.4.3.7.3	Acht-Transistor-Zelle	541
6.4.4	Architektur der statischen Speicher	542
6.5	Dynamische Schreib-Lese-Speicher (DRAM)	546
6.5.1	Planare Ein-Transistor-Ein-Kondensator-Zelle	548
6.5.2	Neue Konzepte für die Zelle und das Zellenfeld	554
6.5.3	Vorübergehende Fehler (Soft-Errors)	561
6.5.4	Organisation und Betriebsmodi von DRAMs	566

7	Arithmetische Module	577
7.1	Addierer und Subtrahierer	580
7.1.1	Volladdierer	580
7.1.2	Gütemaß für den Vergleich von arithmetischen Einheiten	592
7.1.3	Bitserielle Addierer	597
7.1.4	Ripple-Carry-Addierer	598
7.1.5	Manchester-Carry-Chain-Addierer	600
7.1.6	Carry-Skip-Addierer	601
7.1.7	Carry-Select-Addierer	603
7.1.8	Carry-Lookahead-Addierer	606
7.1.8.1	Nützen der Rekursion für die Bildung des Übertragssignals	606
7.1.8.2	Hierarchie in Carry-Lookahead-Addierern	607
7.1.8.3	Parallele Vorauswahladdierer (parallel Prefix Adder)	609
7.1.9	Addition in redundanten Zahlensystemen	614
7.1.9.1	Carry-Save-Addition	616
7.1.9.2	Addition von Signed-Digit-Zahlen	618
7.1.10	Baumstrukturen	627
7.1.11	Akkumulatoren	631
7.2	Multiplizierer	635
7.2.1	Feldmultiplizierer	637
7.2.2	Reduktion der Zahl der Partialprodukte	639
7.3	Methoden für die Optimierung von Verlustleistung und Rechenleistung	647
7.3.1	Schaltungsebene	648
7.3.2	Mikroarchitekturebene	661
7.3.3	Abwägung zwischen Energie und Fläche	664
8	VLSI-Entwurfsmethoden	669
8.1	Realisierungsvarianten integrierter digitaler Schaltungen	670
8.1.1	Full-Custom-Entwurf	670
8.1.2	Semi-Custom-Entwurf	673
8.1.2.1	Semi-Custom-Entwurfsmethode	673
8.1.2.2	Standardzellentechnik	676
8.1.2.3	Gate-Array-Technik	680
8.1.3	Programmierbare Logikschaltungen	681
8.1.3.1	Programmierbare Logikbausteine (PLD)	682
8.1.3.2	Feldprogrammierbare Gatteranordnungen	684
8.2	Vergleich der Entwurfsmethoden	687
	Literaturverzeichnis	691
	Sachverzeichnis	701

Integrierte Digitale Schaltungen

Vom Transistor zur optimierten Logikschaltung

Klar, H.; Noll, T.

2015, XII, 711 S. 300 Abb., 20 Abb. in Farbe., Hardcover

ISBN: 978-3-540-40600-6